robotron

HARDWARE
DOKUMENTATION

Bausteinübersicht

Personalcomputer EC 1834

1. Auflage
Karl-Marx-Stadt, 1988

(C) VEB Kombinat Robotron 1988

Diese Übersicht über bipolare, unipolare und analoge Bausteine für den EC 1834 ist als Reparaturhilfe für den ausgebildeten Service-Techniker oder Ingenieur gedacht und ist Bestandteil der Dokumentation für den Service. Die zu den Bauelementen gemachten Angaben erheben keinen Anspruch auf Vollständigkeit. Eventuell durch den Nutzer erkannte Fehler bitten wir uns mitzuteilen.

Inhaltsverzeichnis

Grundtyp	TTL	LS-TTL	S-TTL	Seite
' 08			K531LI1P SU SN74S08 NSW	29
' 11		DL011D DDR SN74LS11 NSW		8
' 32		DL032D DDR SN74LS32 NSW		8
' 37		DL037D DDR SN74LS37 NSW		8
' 40			MH74S40 CSSR SN74S40 NSW	27
' 64			MH74S64 CSSR SN74S64 NSW	27
' 93		DL093D DDR SN74LS93 NSW		10
'112		DL112D DDR SN74LS112 NSW	MH74S112 CSSR SN74S112 NSW	9
'121	D121D DDR SN74121 NSW			11
'124			K531GG1P SU SN74S124 NSW	28
'151			K531KP7P SU SN74S151 NSW	29
'155		DL155D DDR SN74LS155 NSW		12
'164		DL164D DDR SN74LS164 NSW		13
'174			K531TM9P SU SN74S174 NSW	30
'175		DL175D DDR SN74LS175 NSW		14
'251		DL251D DDR SN74LS251 NSW		16
'280			K531IP5P SU SN74S280 NSW	30
'295		DL295D DDR SN74LS295 NSW		17
'299		DL299D DDR		19
'374		DL374D DDR SN74LS374 NSW		22
'540		DL540D DDR SN74LS540 NSW		23
'541		DL541D DDR SN74LS541 NSW		23
'2631		DL2631D DDR		24
'2632		DL2632D DDR		24
'8121		DL8121D DDR AmZ8121 NSW		26

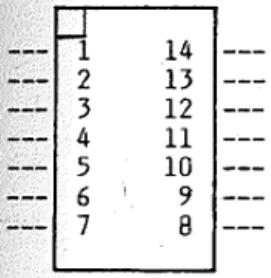
Statische und dynamische Kennwerte

Kennwerte bei U_{CC} = 5 V und ϑ = 25° C			TTL	LS-TTL	S-TTL
Eingangsspannung	U_{IL}	max.	0,8 V	0,8 V	0,8 V
	U_{IH}	min.	2 V	2 V	2 V
Ausgangsspannung	U_{OL}	max.	0,4 V	0,5 V	0,5 V
	U_{OH}	min.	2,4 V	2,7 V	2,4 V
Schwellspannung		min.	1,1 V	1,1 V	1,3 V
Eingangsstrom	I_{IL}(source)	max. (U_{IL})	1,6 mA (0,4V)	0,4 mA (0,4V)	2 mA (0,5V)
	I_{IH}(sink)	max. (U_{IH})	0,04 mA (2,4V)	0,02 mA (2,7V)	0,05 mA (2,7V)
Ausgangsstrom	I_{OL}(sink)	max. (U_{OL})	16 mA (0,4V)	8 mA (0,5V)	20 mA (0,5V)
	I_{OH}(source)	max. (U_{OH})	0,4 mA (2,4V)	0,4 mA (2,7V)	1 mA (2,7V)
Lastfaktor (innerhalb einer Baureihe)	F_{LA}		10	20	10
Speisestrom	I_{CCH}	typ. | max.	1 | 2 mA	0,2 | 0,4 mA	2,5 | 4 mA
(je Gatter)	I_{CCL}	typ. | max.	3 | 5,5mA	0,6 | 1,1 mA	5 | 9 mA
Verzögerungszeit (je Gatter)	t_{PLH}	typ. | max.	11 | 22 ns	9 | 15 ns	3 | 4,5 ns
(C_L = 15 pF)	t_{PHL}	typ. | max.	7 | 15 ns	10 | 15 ns	3 | 5 ns
Impulsflanke	t_{LH}	typ.	10 ns	9,5 ns	2,7 ns
(Ausgänge)	T_{HL}	typ.	5 ns	6 ns	2 ns
(15 pF)	(10...90%)				
Flip-Flop Taktfrequenz (Typ 7474)		typ. | mind.	25 | 15 MHz (15 pF)	33 | 25 MHz (15 pF)	110 | 75 MHz (15 pF)
Speisespannung	U_{CC}		4,75 ... 5,25 V		
Umgebungstemperatur	ϑ		0 ... 70 °C		

DDR	SU	NSW	Seite
	K 1810 WM 86	P 8086	33
	KR 580 WI 53	P 8253	68
	KR 580 WW 55A	P 8255A	80
	KR 580 WN 59	P 8259	99
	K 1810 GF 84	P 8284A	108
	KR 580 WG 88	P 8288	113
U 82720 GDC		D 82720	119
UB 8820 M		Z 8602-MPD	156
UB 8821 M		Z 8602-MPD	156
U 2732 C 35		i 2732	31
U 2764 C 30	K 573 RF 4	i 2764	32
B 315 D		Q2T 2222	5
B 589 N		AD 589 M	5
B 4002 D		UAA 4002 DP	6
B 4761 D		TAA 4761 A	5
E 351			7

B 315 D Q2T 2222

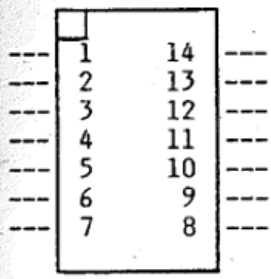
Integriertes Transistorarray mit 4 npn-Transistoren



1	K-T1	8	K-T3
2	B-T1	9	B-T3
3	E-T1	10	E-T3
4	SUBSTRAT	11	nicht belegt
5	E-T2	12	E-T4
6	B-T2	13	B-T4
7	K-T2	14	K-T4

B 4761 D TAA 4761 A

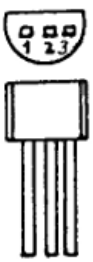
Vierfach Operationsverstärker mit interner Frequenzkompensation



1	$-U_S$	8	Ausgang S.3
2	Ausgang S.1	9	+Eingang S.3
3	+Eingang S.1	10	-Eingang S.3
4	-Eingang S.2	11	$+ U_S$
5	-Eingang S.2	12	-Eingang S.4
6	+Eingang S.2	13	+Eingang S.4
7	Ausgang S.2	14	Ausgang S.4

B 589 N AD 589 M

Temperaturkompensierte Zweipol-Bandgab-Referenzspannungsquelle, die eine typische 1,235 V-Spannung für Eingangsströme zwischen 50 µA und 5 mA erzeugt

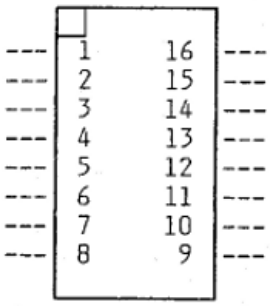


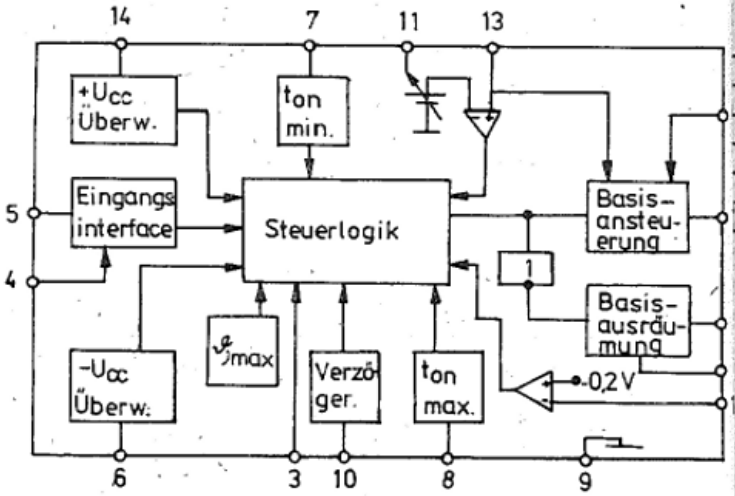
1	Eingang|Ausgang
2	nicht belegt
3	Masse

			min	max	
Grenzwerte	Betriebsstrom	I_{CC}	-10	10	mA
Betriebsbedingungen	Betriebsstrom	I_{CC}	0,05	5	mA
	Ausgangsspannung I_{CO} = 0,5 mA	U_O	1,2	1,25	V
	Änderung d.Ausgangsspannung	ΔU_O	0	5	mA

Schnittstellenschaltkreis zwischen Logikbaugruppen und Leistungselektronik

Der Schaltkreis ist eingangsseitig TTL bzw. CMOS-Kompatibel. Ausgangsseitig wird direkt die Basis eines Leistungstransistors im Schalterbetrieb angesteuert.





1	Basisausräumstrom	9	Masse
2	neg. Betriebsspannung	10	prog.d.Einschaltverzögerung
3	Inhibit-Eingang	11	prog.d.zulässigen Sättigungsspannun
4	Eingangsprogrammierung	12	prog.d.max.Kollektorstromes
5	Signaleingang	13	Messung d. Kollektorspannung
6	prog.d.neg.Sollspannung des Pin2	14	pos. Betriebsspannung
7	prog.d.min. Leitzeit	15	Ansteuerstrombegrenzung
8	prog.d.max. Leitzeit	16	Basisansteuerstrom

Betriebsbedingungen

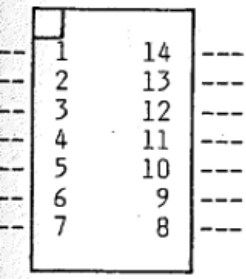
		min	max
pos. Betriebsspannung	U_{CC1}	7	14 V
neg. Betriebsspannung	U_{CC2}	-9	-1 V
Kollektorspannung	U_{15}	4	14 V

Kennwerte (bei U_{CC1} = +10 V, U_{CC2} = -5 V, ϑ_a = 25 °C -5K.)

		Grenzwerte	typ	Bemerkung
Stromaufnahme	I_{CC}	≦ 25	12 mA	an Pin 14 gemessen
Eingangshighspannung	U_{IN}	≧ 2	V	Schaltspannungen an Pins die als Low High-Eingang signal erkannt werden
Eingangslowspannung für TTL	U_{IL1}	≦ 0,8	V	
für Impulsbetrieb	U_{IL2}	≦ -2	V	
TTL-Eingangslowstrom	$-I_{IL}$	≦ 50	5 µA	
Impuls-Eingangsruhestrom	I_{IO}	≦ 300	200 µA	

351 D

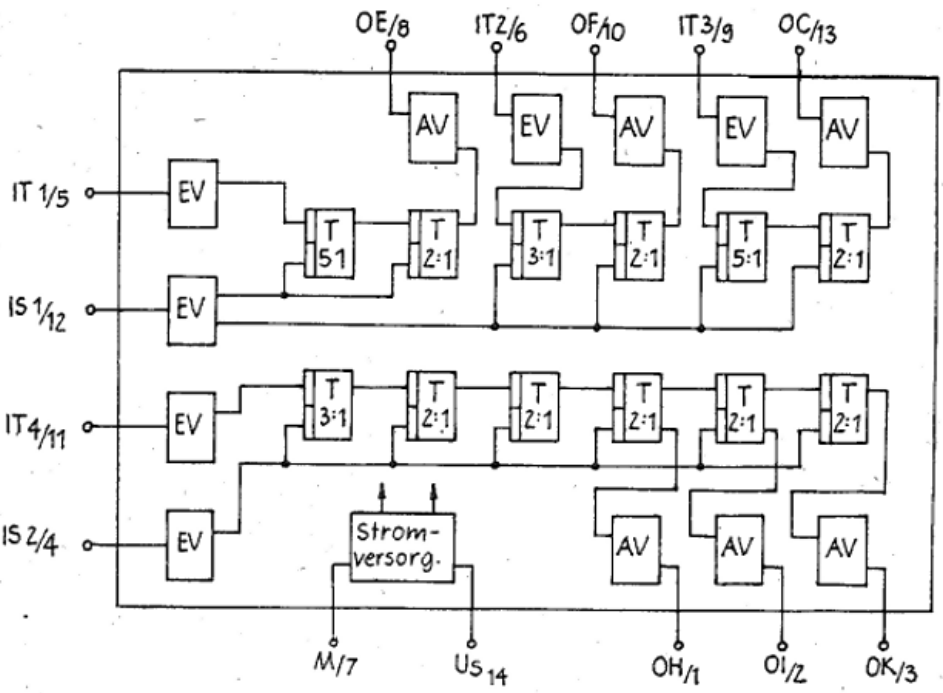
ilerschaltkreis in Bipolartechnik
TTL-kompatibel
open-collector-Ausgänge
asynchrone Arbeitsweise



Anschlußbelegung:

1	OH	Teilerausgang	8	OE	Teilerausgang
2	OI	Teilerausgang	9	IT 3	Takteingang
3	OK	Teilerausgang	10	OF	Teilerausgang
4	IS 2	Setzeingang	11	IT 4	Takteingang
5	IT 1	Takteingang	12	IS 1	Setzeingang
6	IT 2	Takteingang	13	OG	Teilerausgang
7	M	Masse	14	U_S	Betriebsspannung

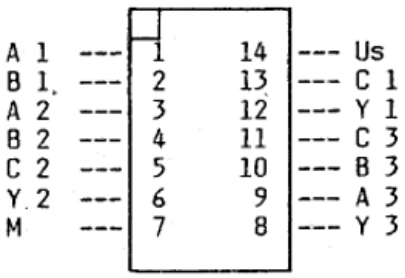
Blockschaltbild:



DL 011 D

SN 74 LS 11

3 AND mit je 3 Eingängen

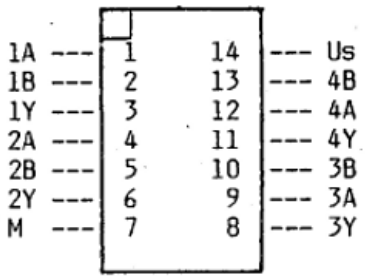


A, B, C : Eingänge
Y : Ausgänge
M : Masse
U_S : Betriebsspannung

DL 032 D

SN 74 LS 32

Vier OR-Gatter mit je 2 Eingängen

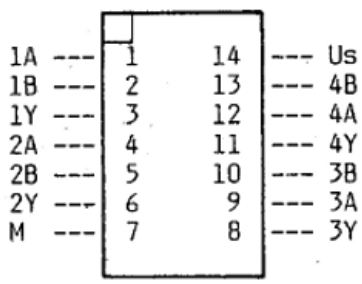


A, B : Eingänge
Y : Ausgänge
M : Masse
U_S : Betriebsspannung

DL 037 D

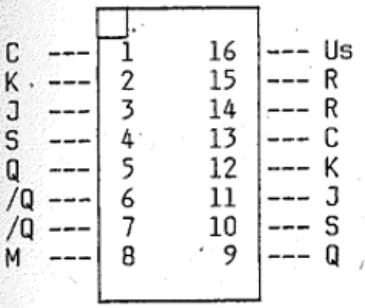
SN 74 LS 37

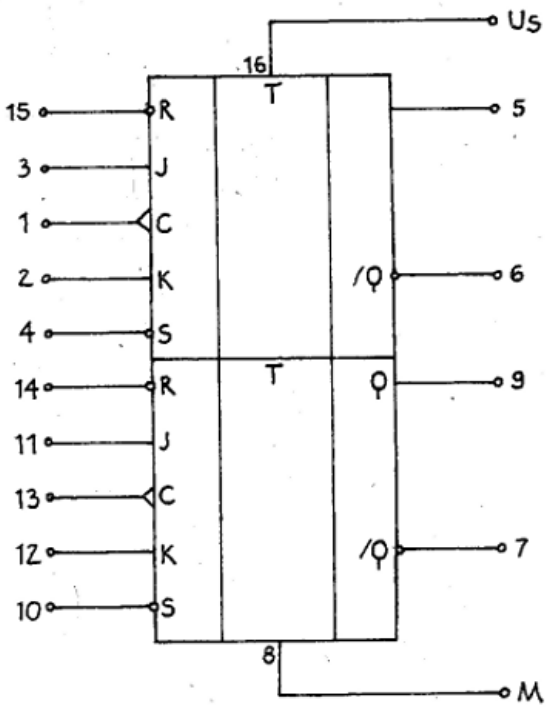
4 NAND Leistungsgatter mit je 2 Eingängen



A, B : Eingänge
Y : Ausgänge
M : Masse
U_S : Betriebsspannung

Zweifach JK-Flip-Flop

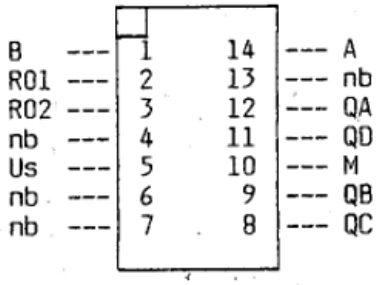




DL 093 D

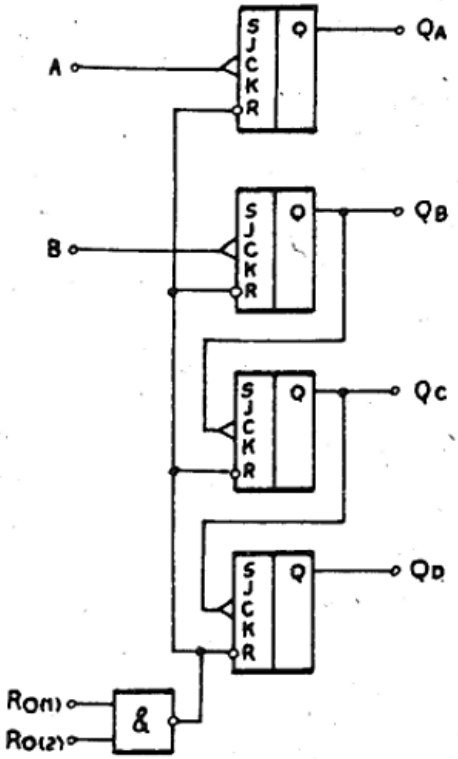
SN 74 LS 93

4 Bit-Binärzähler



nb – nicht belegt

Logische Schaltung DL 093 D:

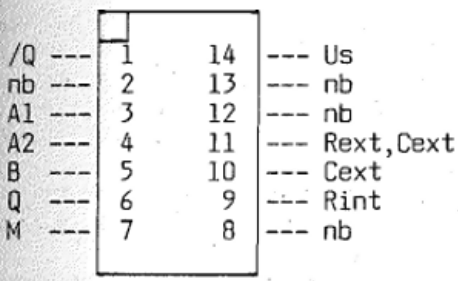


Zählstand	Ausgänge Q_D	Q_C	Q_B	Q_A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

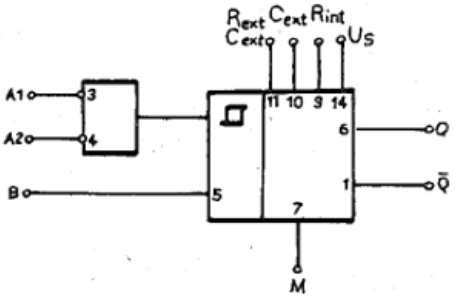
Binärzählung (4 Bit) Ausgang Q_A mit Eingang B verbunden)

Rücksetzeingänge $R_{0(1)}$	$R_{0(2)}$	Ausgänge Q_D	Q_C	Q_B	Q_A
H	X	L	L	L	L
L	H			zählen	
X	L			zählen	

Bipolarer Monostabiler Multivibrator mit Schmitt-Trigger-Eingängen



Blockschaltbild:



nb – nicht belegt

Logische Funktion:

t_n			t_{n+1}			t_{n+1}	
A_1	A_2	B	A_1	A_2	B	Q	/Q
H	H	L	H	H	H	L	H
L	X	H	L	X	L	L	H
X	L	H	X	L	L	L	H
L	X	L	L	X	H	⌐¯¬	¬_⌐
X	L	L	X	L	H	⌐¯¬	¬_⌐
H	H	H	X	L	H	⌐¯¬	¬_⌐
H	H	H	L	X	H	⌐¯¬	¬_⌐
X	L	L	X	H	L	L	H
L	X	L	H	X	L	L	H
X	L	H	H	H	H	L	H
L	X	H	H	H	H	L	H
H	H	L	X	L	L	L	H
H	H	L	L	X	L	L	H

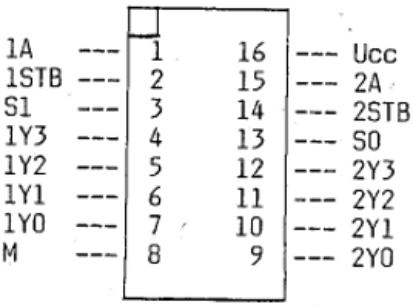
t_n : Zeit vor dem Eingangsimpuls

t_{n+1}: Zeit nach dem Eingangsimpuls

x : beliebig

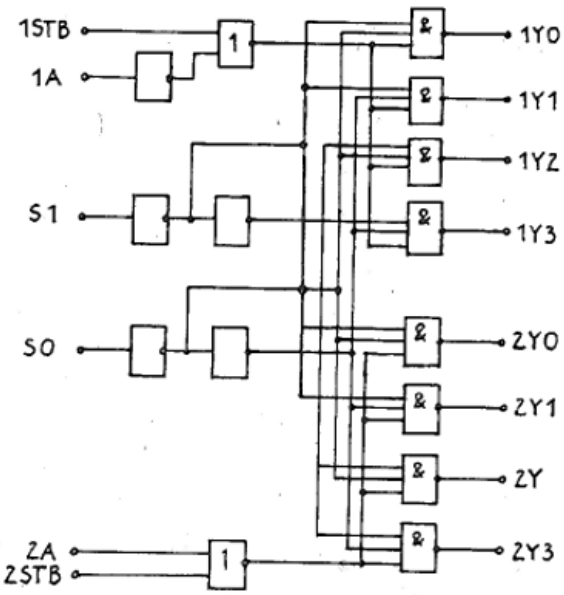
Der Schaltkreis DL 155 D ist ein Zweifach-2 auf 4-Dekoder der auch als 1 auf 4-Demultiplexer, 1 auf 8-Demultiplexer und 3 auf 8-Dekoder eingesetzt werden kann.
Mit der Adressinformation an S0, S1 wird über die Adressgatter und die Schottky-diodenmatrix jeweils eine der vier Ausgangsstufen in jeder der beiden Teilschaltungen freigegeben, über die dann das Eingangssignal von den Eingängen A und STB zum entsprechenden Ausgang Y gelangt. Die Eingänge A und STB sind miteinander NOR-verknüpft; wobei in der Teilschaltung 1 die Information am Dateneingang A zusätzlich negiert wird.
Werden die Eingänge STB und A beider Teilschaltungen jeweils miteinander verbunden, so wirkt die Information an A als drittes Adress-bit und STB als Dateneingang eines 1 auf 8-Demultiplexers.

Anschlußbelegung:



Y:	Ausgänge
S0, S1:	Adresseingänge
A:	Dateneingänge
STB:	STROBE-Eingänge

Logikschaltbild:



Funktionstabelle

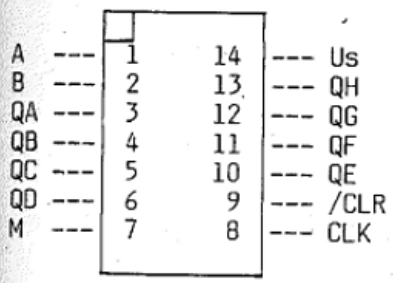
Eingänge

Adresse		STRO-BE	Da-ten	1Y0	1Y1	1Y2	1Y3	Adresse		STRO-BE	Da-ten	2Y0	2Y1	2Y2	2Y3
S_1	S_0	1STB	1A					S_1	S_0	2STB	2A				
X	X	H	X	H	H	H	H	X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H	L	L	L	L	L	H	H	H
L	H	L	H	H	L	H	H	L	H	L	L	H	L	H	H
H	L	L	H	H	H	L	H	H	L	L	L	H	H	L	H
H	H	L	H	H	H	H	L	H	H	L	L	H	H	H	L
X	X	X	L	H	H	H	H	X	X	X	H	H	H	H	H

DL 164 D

SN 74 LS 164

8 Bit seriell-EIN|parallel-AUS Schieberegister. Die seriellen Daten werden durch ein UND-Gatter mit 2 Eingängen (A u. B) synchron mit der Low-High-Flanke des Taktes übernommen. Mit dem Rücksetzeingang /CLR können unabhängig vom Takt alle Registerausgänge nach Low geschaltet werden.



A + B : serielle Eingänge

Q_A–Q_H : Ausgänge

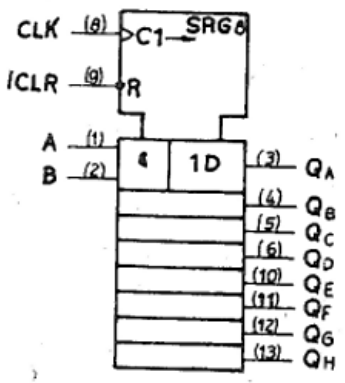
CLK : Takteingang

/CLR : Rücksetzeingang

U_S : Betriebsspannung

M : Masse

Blockschaltbild:



Funktionstabelle:

Eingänge				Ausgänge		
/CLR	CLK	A	B	Q_A	$Q_B \cdots$	Q_H
L	X	X	X	L	L	L
H	L	X	X	Q_{A0}	Q_{B0}	Q_{H0}
H	↑	H	H	H	Q_{An}	Q_{Gn}
H	↑	L	X	L	Q_{An}	Q_{Gn}
H	↑	X	L	L	Q_{An}	Q_{Gn}

H ≙ High-Pegel

L ≙ Low-Pegel

X ≙ beliebiger Pegel (Low oder High)

↑ ≙ Low-High-Flanke

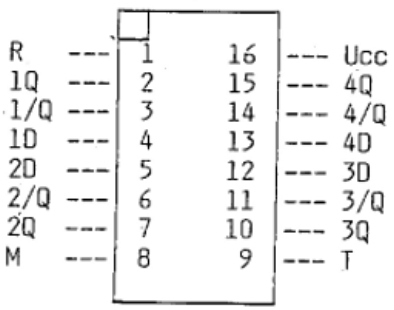
Q_{A0}, Q_{B0}, Q_{H0} = Pegel von Q_A, Q_B bzw. Q_H, bevor die statischen Eingangsbedingungen angelegt werden.

Q_{An}, Q_{Gn} = Pegel von Q_A bis Q_G vor der letzten Schaltflanke an CLK.

DL 175 D

SN 74 LS 175

Das FF DL 175 D ist ein D-FF mit gemeinsamen Rücksetz- und Takteingang. Es schaltet mit der L-H-Flanke am Takteingang, d.h. die Information am D-Eingang wird mit diesem Impuls zum Ausgang Q übertragen.



D: Dateneingänge

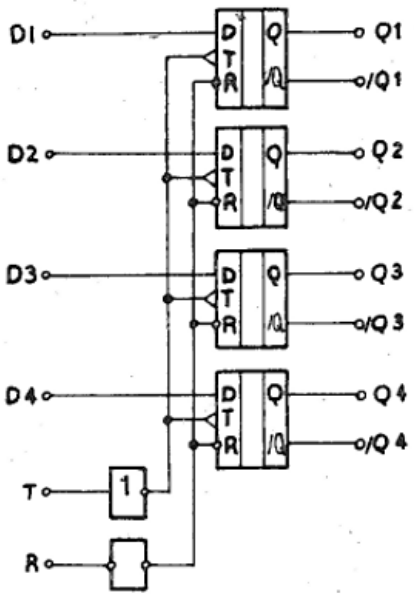
T: Takteingang

R: RESET-Eingang

Q: Ausgänge

/Q: negierte Ausgänge

Logikschaltbild:

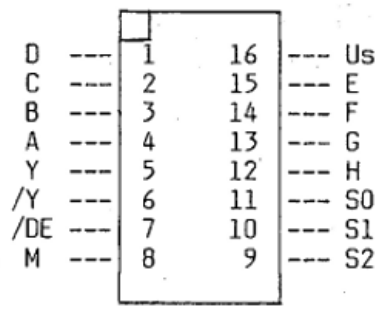


Funktionstabelle

R	T	D	Q	/Q
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Qo	/Qo

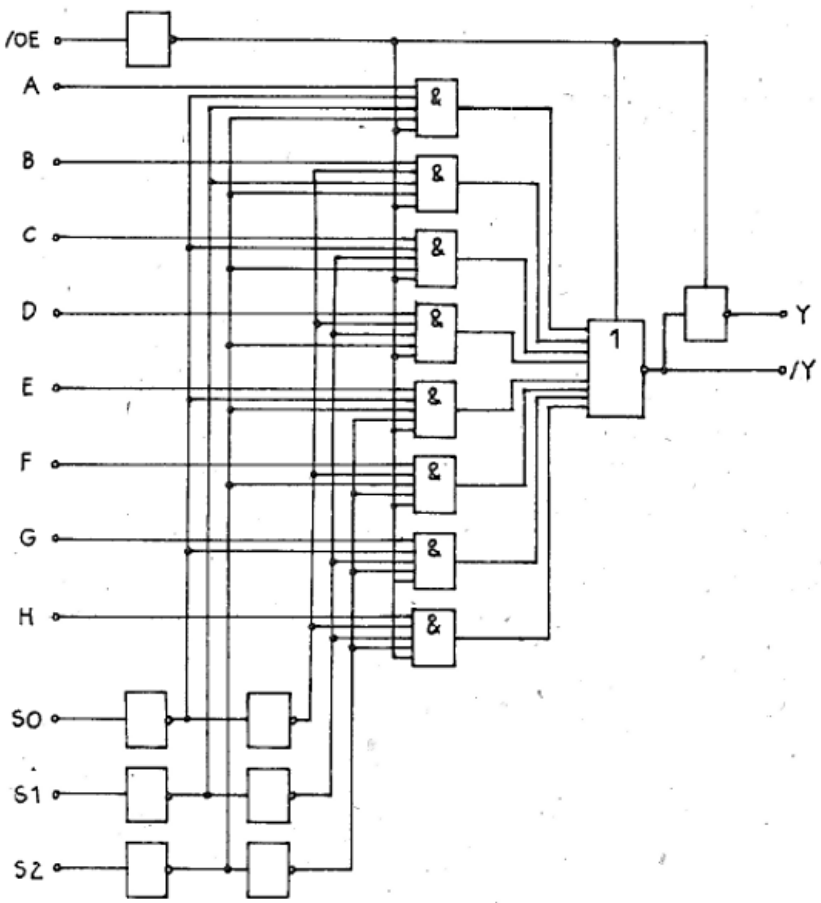
↑ Schaltflanke L–H

Der Schaltkreis DL 251 D ist ein 8 auf 1-Multiplexer mit 3-STATE-Ausgängen. Mit der Adressinformation an S0, S1 und S2 wird über die Adressgatter und über die Schottkydiodenmatrix jeweils ein Eingang des 8fach-Odergatters freigegeben die restlichen Dateneingänge bleiben gesperrt.
Die Dateninformation des adressierten Einganges liegt dann negiert am Ausgang /Y an und wird über ein zweites Ausgangsgatter nicht negiert an den Ausgang Y gegeben. Beide Ausgänge lassen sich über OE in den hochohmigen Zustand Z schalten.



A – H : Dateneingänge
S0, S1, S2 : Adresseingänge
/OE : Output Enable
Y, /Y : Ausgänge

Logikschaltbild:



Funktionstabelle:

Eingänge			Ausgänge		
Adresse			/OE	Y	/Y
S2	S1	S0			
X	X	X	H	Z	Z
L	L	L	L	A	/A
L	L	H	L	B	/B
L	H	L	L	C	/C
L	H	H	L	D	/D
H	L	L	L	E	/E
H	L	H	L	F	/F
H	H	L	L	G	/G
H	H	H	L	H	/H

DL 295 D

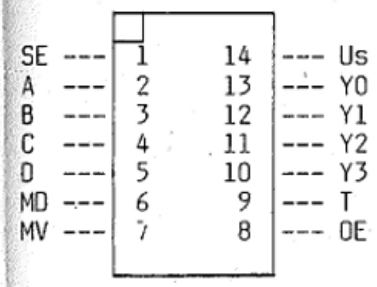
SN 74 LS 295

Der Schaltkreis DL 295 D ist ein 4-bit-Schieberegister, das im Rechtsschiebebetrieb und bei entsprechenden externen Verbindungen im Linksschiebebetrieb eingesetzt werden kann. Ein paralleles Einschreiben der 4-bit-Information ermöglicht auch den Einsatz als 4-bit-Speicher im Parallelbetrieb.

Jedes der 4 taktflankengesteuerten RS-FF's wird von einer Torschaltung mit der einzuschreibenden Dateninformation angesteuert, die je nach Information an MD entweder vom Q'-Ausgang des vorhergehenden FF oder vom Paralleleingang angesteuert wird.

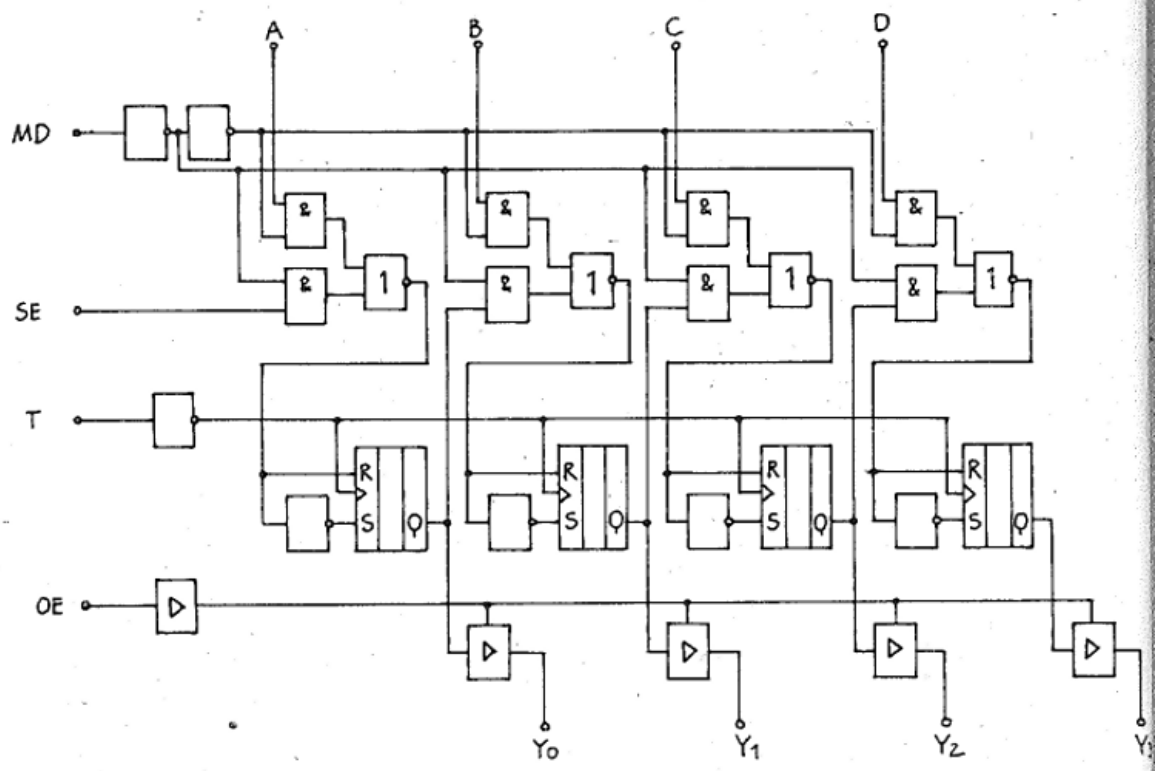
Für den Linksschiebebetrieb wird mit MD = H auf die Paralleleingänge geschaltet. Die Eingänge A, B, C müssen extern mit den Ausgängen Y1, Y2, Y3 verbunden werden, und der Eingang D wird zum seriellen Eingang der Schiebekette.

Die Ausgangsstufen liefern die Information der FF nichtnegiert an die Ausgänge, die sich über OE = L in den hochohmigen Zustand Z schalten lassen.



Y : Ausgänge
SE : serieller Eingang
A-D : Paralleleingänge
MD : Mode-Eingang
OE : Output Enable
T : Takteingang

Logikschaltbild:



Eingänge								Ausgänge			
Output Enable	Mode	Takt	serieller Eingang	Parallel-eingänge							
OE	MD	T	SE	A	B	C	D	Y0	Y1	Y2	Y3
L	X	X	X	X	X	X	X	Z	Z	Z	Z
H	H	H	X	X	X	X	X	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$	$Y_{3(t-1)}$
H	H	↓	X	a	b	c	d	a	b	c	d
H	H	↓	X	Y_1 1)	Y_2 1)	Y_3 1)	d	$Y_{1(t-1)}$	$Y_{2(t-1)}$	$Y_{3(t-1)}$	d
H	L	H	X	X	X	X	X	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$	$Y_{3(t-1)}$
H	L	↓	H	X	X	X	X	H	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$
H	L	↓	L	X	X	X	X	L	$Y_{0(t-1)}$	$Y_{1(t-1)}$	$Y_{2(t-1)}$

Funktionstabelle:

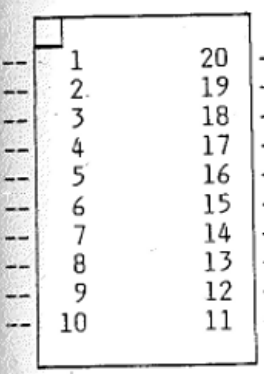
X: beliebiger Zustand
Z: hochohmiger Zustand
↓: HL-Flanke
a,b,c,d: statischer H- oder L-Pegel während der HL-Flanke
$Y_{(t-1)}$: Ausgangszustand vor der letzten LH-Flanke

1) Linksschiebemodus, die Paralleleingänge A,B,C werden jeweils mit den Ausgängen Y1,Y2,Y3 verbunden. Der Paralleleingang D wird zum seriellen Eingang der Schiebekette.

DL 299 D

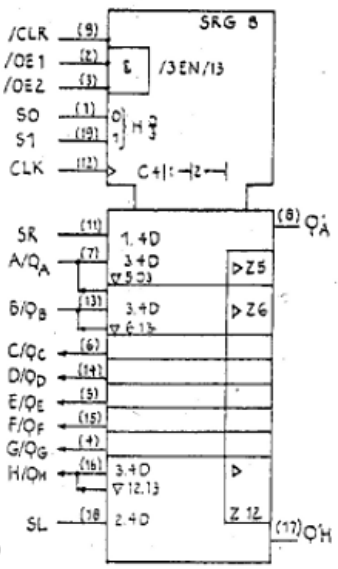
Der Schaltkreis DL 299 D enthält ein 8-bit-Universalschieberegister, mit dem die Betriebsarten Einschreiben, Speichern, Links- bzw. Rechtsschieben sowie Rücksetzen realisiert werden können. Es besteht aus 8 Registerzellen mit dazugehörigen 3-State-Ausgangsstufen (Q-Ausgänge). Von 8 weiteren Ausgangsstufen der Flip-Flop (Q-Ausgänge) für die internen Rückführungen sind die für die Kaskadierung des Schaltkreises benötigten Ausgänge Q'_A und Q'_H aus dem Schaltkreis herausgeführt. Außerdem sind Ansteuerschaltungen für den Takt (CLK) und das Rücksetzen (/CLR) der Registerzellen sowie eine Logik zur Betriebsarteneinstellung (S0,S1) vorhanden.
Die Registerzellen sind aus D-Flip-Flop aufgebaut, die synchron getaktet (mit L-H-Schaltflanke an CLK-Eingang) und gleichzeitig zurückgesetzt (mit L-Pegel an /CLR) werden.
Die Voreinstellung der Flip-Flop erfolgt über eine Torschaltung, die durch die an den Eingängen "Betriebsartensteuerung" (S0,S1) angelegten Pegel gesteuert wird. Das Schalten der 3-State-Ausgänge Q in den hochohmigen Zustand erfolgt bei der Betriebsart "Einschreiben" (S0-S1-H) bzw. durch die Enable-Eingänge (/OE1 bzw. /OE2 = H). Dabei werden serielle Funktionen und das Rücksetzen der Registerzellen nicht beeinflußt.

Pinkbelegung:



Pin	Symbol	Beschreibung	Pin	Symbol	Beschreibung
1	S0	Eingang "Betriebsartensteuerung"	11	SR	Dateneingang "Schieben rechts"
2	/OE1	Enable-Eingang	12	CLK	Takt-Eingang
3	/OE2	Enable-Eingang	13	$B\|Q_B$	Daten-Ein-|Ausgang
4	$G\|Q_G$	Daten-Ein-|Ausgang	14	$D\|Q_D$	Daten-Ein-|Ausgang
5	$E\|Q_E$	Daten-Ein-|Ausgang	15	$F\|Q_F$	Daten-Ein-|Ausgang
6	$C\|Q_C$	Daten-Ein-|Ausgang	16	$H\|Q_H$	Daten-Ein-|Ausgang
7	$A\|Q_A$	Daten-Ein-|Ausgang	17	Q_H	Daten-Ausgang
8	Q_A	Daten-Ausgang	18	SL	Daten-Eingang "Schieben links"
9	/CLR	Eingang "Rücksetzen"	19	S_1	Eingang "Betriebs-artensteuerung"
10	M	Masse	20	U_S	Betriebsspannung

Blockschaltbild:

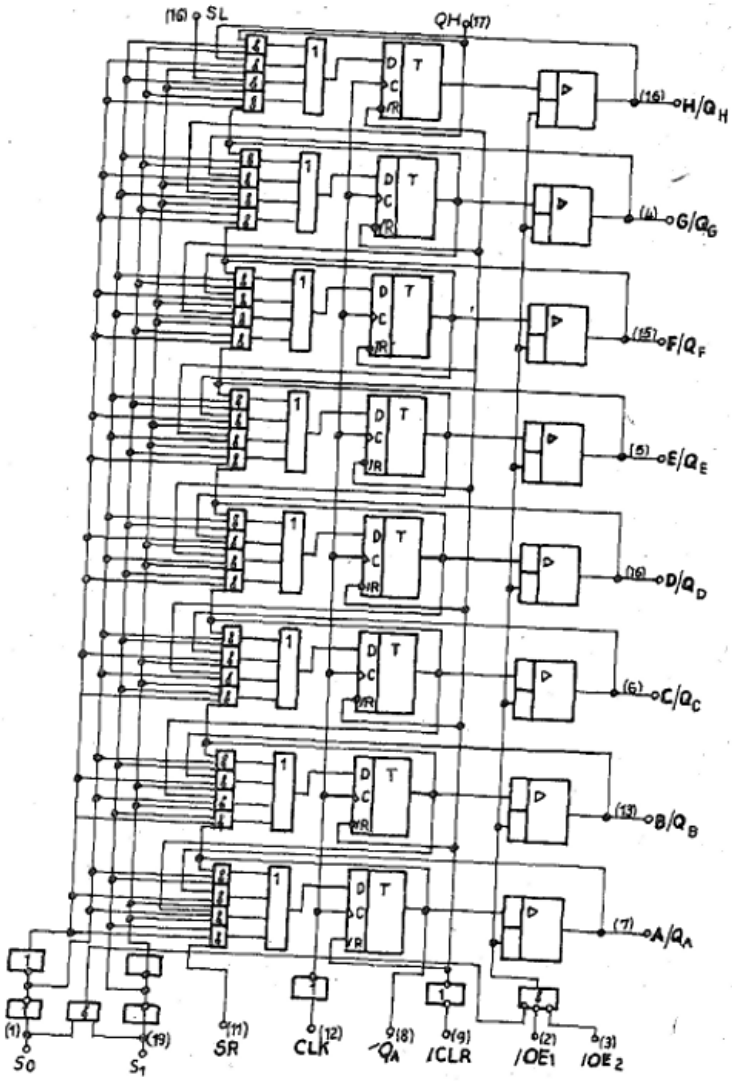


Funktionstabelle:

Betriebsart	Eingänge								Eingänge | Ausgänge								Ausgänge		
	CLR	S1	S0	/OE1	/OE2	CLK	SL	SR	A | Q_A	B | Q_B	C | Q_C	D | Q_D	E | Q_E	F | Q_F	G | Q_G	H | Q_H	Q'$_A$	Q'$_H$
Rücksetzen	L	X	L	L	L	X	X	X	L	L	L	L	L	L	L	L	L	L
	L	L	X	L	L	X	X	X	L	L	L	L	L	L	L	L	L	L
	L	H	H	X	X	X	X	X	L	L	L	L	L	L	L	L	L	L
Halten	H	L	L	L	L	X	X	X	Q_{AO}	Q_{BO}	Q_{CO}	Q_{DO}	Q_{EO}	Q_{FO}	Q_{GO}	Q_{HO}	Q_{AO}	Q_{HO}
	H	X	X	L	L	L	X	X	Q_{AO}	Q_{BO}	Q_{CO}	Q_{DO}	Q_{EO}	Q_{FO}	Q_{GO}	Q_{HO}	Q_{AO}	Q_{HO}
Schieben rechts	H	L	H	L	L	↑	X	H	H	Q_{AU}	Q_{BU}	Q_{CU}	Q_{DU}	Q_{EU}	Q_{FU}	Q_{GU}	H	Q_{GU}
	H	L	H	L	L	↑	X	L	L	Q_{AU}	Q_{BU}	Q_{CU}	Q_{DU}	Q_{EU}	Q_{FU}	Q_{GU}	L	Q_{GU}
Schieben links	H	H	L	L	L	↑	H	X	Q_{BU}	Q_{CU}	Q_{DU}	Q_{EU}	Q_{FU}	Q_{GU}	Q_{HU}	H	Q_{BU}	H
	H	H	L	L	L	↑	L	X	Q_{BU}	Q_{CU}	Q_{DU}	Q_{EU}	Q_{FU}	Q_{GU}	Q_{HU}	L	Q_{BU}	L
Einschreiben	H	H	H	X	X	↑	X	X	a	b	c	d	e	f	g	h	a	h

H = High-Pegel L = Low-Pegel
X = beliebiger Pegel ↑ = Low-High-Flanke
Q_{AO}...Q_{HO} = Pegel von Q_A...Q_H, bevor die statischen Eingangsbedingungen angelegt werden
Q_{AU}...Q_{HU} = Pegel von Q_A...Q_A...Q_H
a...h = Daten an den Eingängen A bis H, die in die Flip-Flop eingeschrieben wurden, während die Flip-Flop-Ausgänge hochohmig sind.

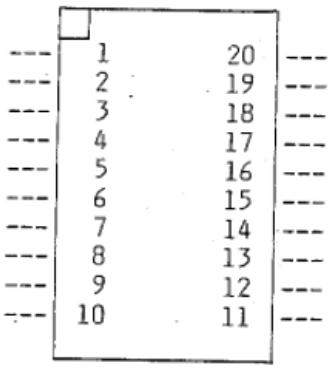
Blockschaltbild:



DL 374 D

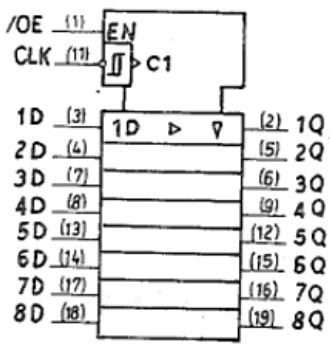
SN 74 LS 374 N

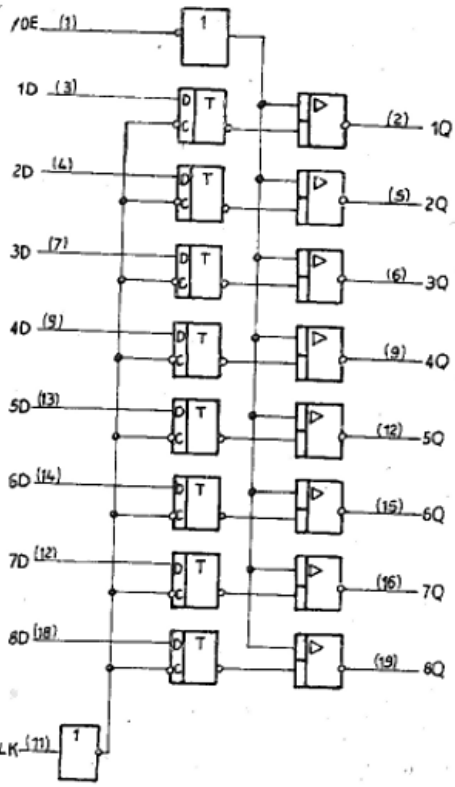
Der Schaltkreis DL 374 D enthält 8 Taktflankengesteuerte D-Flip-Flops. Die Ausgänge der D-Flip-Flops können durch ein gemeinsames Enable-Signal (/OE = H) in den hochohmigen Zustand geschaltet werden.
Die an den D-Eingängen anliegende Information wird mit der L-H-Flanke des gemeinsamen Taktes CLK in die Flip-Flops eingeschrieben. Der CLK-Eingang weist Hystereseverhalten auf.



Pin	Symbol	Beschreibung	Pin	Symbol	Beschreibung
1	/OE	Enable-Eingang	11	CLK	Takteingang
2	1Q	Ausgang	12	5Q	Ausgang
3	1D	FF-Eingang	13	5D	FF-Eingang
4	2D	FF-Eingang	14	6D	FF-Eingang
5	2Q	Ausgang	15	6Q	Ausgang
6	3Q	Ausgang	16	7Q	Ausgang
7	3D	FF-Eingang	17	7D	FF-Eingang
8	4D	FF-Eingang	18	8D	FF-Eingang
9	4Q	Ausgang	19	8Q	Ausgang
10	M	Masse	20	U_S	Betriebsspannung

Blockschaltbild



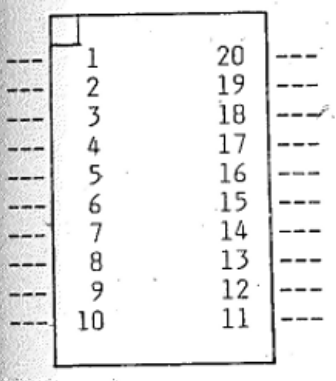


Funktionstabelle

/OE	CLK	D	Q
L	↑	H	H
L	↑	L	L
L	L	X	Q_0
H	X	X	Z

H ≙ High-Pegel
L ≙ Low-Pegel
X ≙ Pegel beliebig, Low oder High
Z ≙ hochohmiger Zustand
↑ ≙ Low-High-Flanke
Q_0 ≙ Signal bleibt gespeichert

Die Schaltkreise DL 540 D und DL 541 D sind Leitungstreiber mit 3-State-Ausgängen für 8 bit Wortbreite. Die Dateneingänge weisen Hystereseverhalten auf. Zur Erzeugung des hochohmigen Zustandes der Ausgangsstufen dienen die Steuereingänge /OE1 und /OE2. Sie sind über eine NOR-Funktion miteinander verknüpft, d.h. die Ausgänge befinden sich im hochohmigen Zustand, wenn /OE1 oder /OE2 auf H-Potential liegen.
Während der DL 540 D die Daten invertiert, gelangen sie beim DL 541 D nichtinvertiert an die entsprechenden Ausgänge.



Pinbelegung:

Pin	Symbol	Beschreibung	Pin	Symbol	Beschreibung
1	/OE1	Steuerausgang	11	Y8(Y8)	Datenausgang DL540D(DL541D)
2	A1	Dateneingang	12	Y7(Y7)	Datenausgang DL540D(DL541D)
3	A2	Dateneingang	13	Y6(Y6)	Datenausgang DL540D(DL541D)
4	A3	Dateneingang	14	Y5(Y5)	Datenausgang DL540D(DL541D)
5	A4	Dateneingang	15	Y4(Y4)	Datenausgang DL540D(DL541D)
6	A5	Dateneingang	16	Y3(Y3)	Datenausgang DL540D(DL541D)
7	A6	Dateneingang	17	Y2(Y2)	Datenausgang DL540D(DL541D)
8	A7	Dateneingang	18	Y1(Y1)	Datenausgang DL540D(DL541D)
9	A8	Dateneingang	19	/OE2	Steuereingang
10	M	Masse	20	U_S	Betriebsspannung

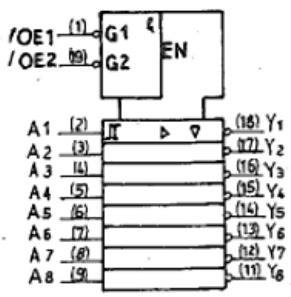
Funktionstabelle:

Eingänge			Ausgänge	
/OE1	/OE2	A	Y DL540D	Y DL541D
L	L	L	H	L
L	L	H	L	H
X	H	X	Z	Z
H	X	X	Z	Z

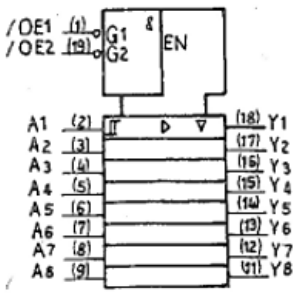
H – High-Pegel
L – Low-Pegel
X – Pegel beliebig, L oder H
Z – hochohmiger Zustand

Logikschaltbilder:

DL 540 D



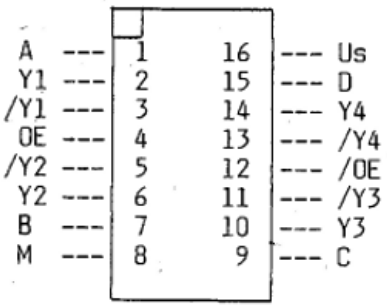
DL 541 D

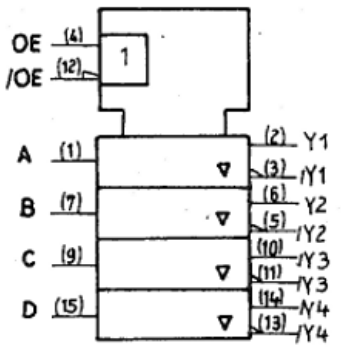


DL 2631 D Leitungssenderschaltkreis
DL 2632 D Leitungsempfängerschaltkreis für Differenzsignale

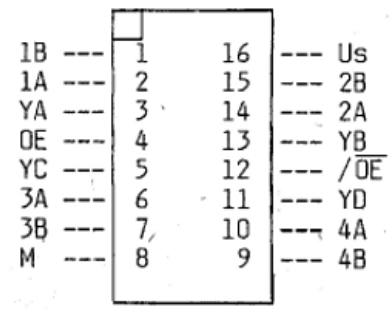
Die Schaltkreise DL 2631 D und DL 2632 D dienen zur erdsymmetrischen Übertragung von digitalen Signalen (maximale Entfernung - 1200 m) über Doppelstrom-Schnittstellenleitungen bis zu Übertragungsgeschwindigkeiten von 10 Mbit/s (Empfehlung CCITT V. 11).
Die Bauelemente enthalten jeweils 4 Sender bzw. 4 Empfänger. Über die Steuereingänge OE und /OE können die 4 Sender bzw. Empfänger entsprechend der Funktionstabelle aktiviert oder in den hochohmigen Zustand versetzt werden. Beim DL 2632 D ist bei offenen Eingängen der Ausgangspegel infolge innerer Beschaltung "H". Der Schaltkreis besitzt eine hohe Eingangsimpedanz (> 12 KΩ) und eine typische Eingangshysterese von 50 mV zur Verringerung der Rauschempfindlichkeit. Der kleinste Eingangspegel, der sicher erkannt wird, beträgt ± 200 mV. Beide Bauelemente entsprechen den V.11-Schnittstellenempfehlungen der CCITT.

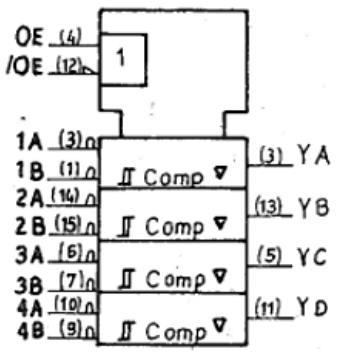
DL 2631 D





DL2632 D





Pinbelegung DL 2631 D

Pin	Symbol	Beschreibung	Pin	Symbol	Beschreibung
1	A	Dateneingang	9	C	Dateneingang
2	Y1	Datenausgang	10	Y3	Datenausgang
3	/Y1	Datenausgang	11	/Y3	Datenausgang
4	OE	Steuereingang	12	/OE	Steuereingang
5	/Y2	Datenausgang	13	/Y4	Datenausgang
6	Y2	Datenausgang	14	Y4	Datenausgang
7	B	Dateneingang	15	D	Dateneingang
8	M	Masse	16	U_S	Betriebsspannung

Pinbelegung DL 2632 D

Pin	Symbol	Beschreibung	Pin	Symbol	Beschreibung
1	1B	Dateneingang	9	4B	Dateneingang
2	1A	Dateneingang	10	4A	Dateneingang
3	YA	Datenausgang	11	YD	Datenausgang
4	OE	Steuereingang	12	/OE	Steuereingang
5	YC	Datenausgang	13	YB	Datenausgang
6	3A	Dateneingang	14	2A	Dateneingang
7	3B	Dateneingang	15	2B	Dateneingang
8	M	Masse	16	U_S	Betriebsspannung

Funktionstabelle für DL 2631 D

Eingang	Enable Eingänge		Ausgänge	
	OE	/OE	Y	/Y
H	H	X	H	L
L	H	X	L	H
H	X	L	H	L
L	X	L	L	H
X	L	H	Z	Z

H ≙ High-Pegel

L ≙ Low-Pegel

X ≙ Pegel beliebig, L oder H

Z ≙ hochohmiger Zustand

Funktionstabelle für DL 2632 D

Differenzeingänge		Enable Eingänge		Ausgänge
A	B	OE	/OE	
$U_{ID} \geqq 0{,}2$ V		H	X	H
		X	L	H
$-0{,}2$ V < U_{ID} < 0,2 V		H	X	?
		X	L	?
$U_{ID} \leqq -0{,}2$ V		H	X	L
		X	L	L
X		L	H	Z
offen		H	X	H
offen		X	L	H

H ≙ High-Pegel

L ≙ Low-Pegel

X ≙ Pegel beliebig, L oder H

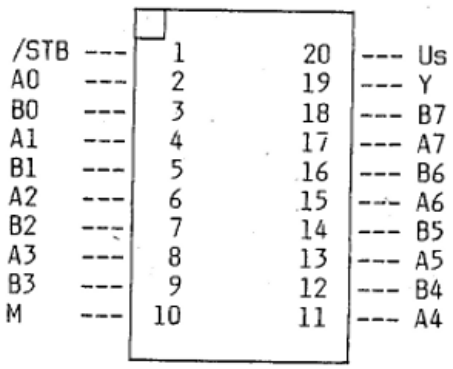
? ≙ Pegel unbestimmt

Z ≙ hochohmiger Zustand

DL 8121 D

AmZ 8121

Der DL 8121 D vergleicht zwei 8-bit-Worte. Es besteht die Möglichkeit, über den Eingang /STB den Ausgang Y zu sperren oder eine Erweiterung für Wortbreiten größer 8 bit vorzunehmen. Bei Wortgleichheit und "LOW" am /STB-Eingang erscheint am Ausgang "LOW".



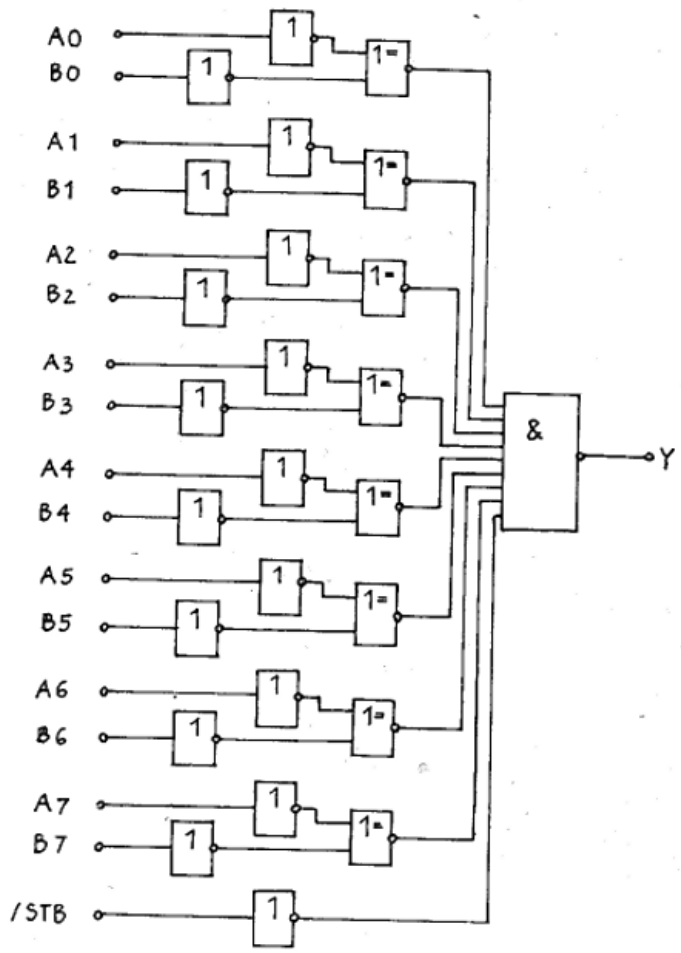
A,B : Dateneingänge

/STB : STROBE-Eingang

M : Masse

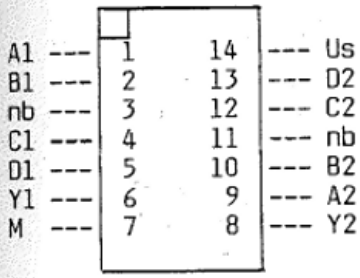
Y : Datenausgang

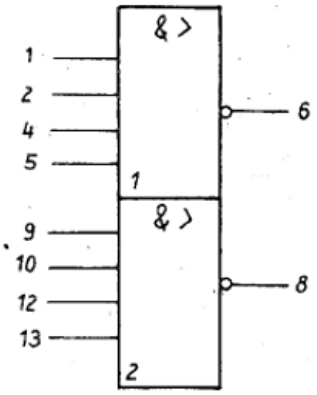
Logisches Schaltbild:



MH 74 S 40 SN 74 S 40

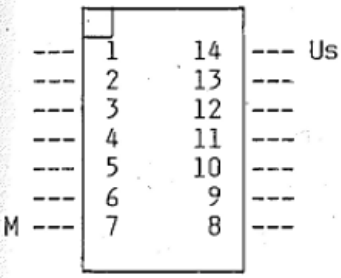
Zwei NAND-Leistungsgatter mit je vier Eingängen

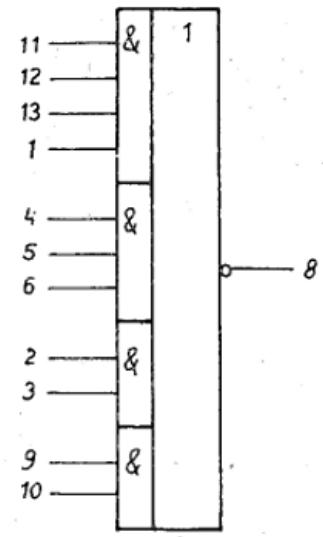




MH 74 S 64 SN 74 S 64

AND-NOR-Gatter mit 4, 3, 2 und 2 Eingängen

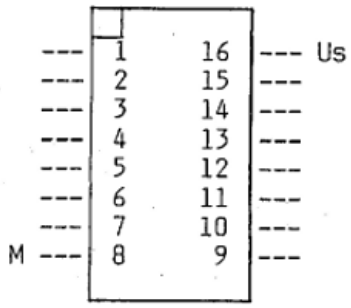


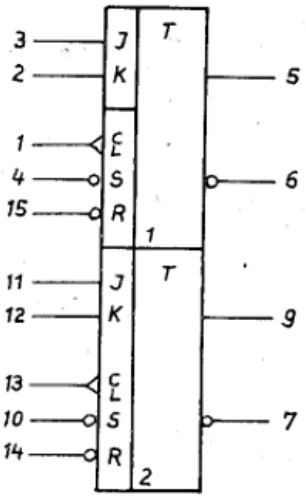


MH 74 S 112

SN 74 S 112

Zwei negativ flankengetriggerte JK-Flip-Flop mit Reset- und Clear-Eingang

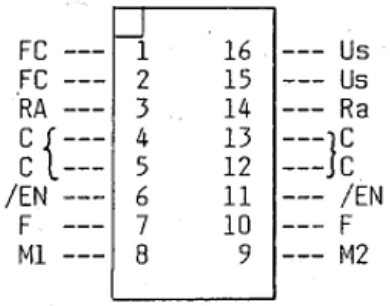




K 531 GG 1 P

SN 74 S 124

2 Spannungsgesteuerte Taktgeneratoren (VCO)



1 Frequenzsteuereingang f.Taktg.2
2 Frequenzsteuereingang f.Taktg.1
3 Frequenzbereichseingang f.Taktg.1
4, 5 Externe Kapazität f.Taktg.1
6 Freigabe enable f.Taktg.1
7 Ausgang f.Taktg.1
8, 9 Masse 1+2
10 Ausgang f.Taktg.2
11 Freigabe enable f.Taktg.2
12, 13 Externe Kapazität f.Taktg.2
14 Frequenzbereichseingang f.Taktg.2
15, 16 Betriebsspannung 1+2

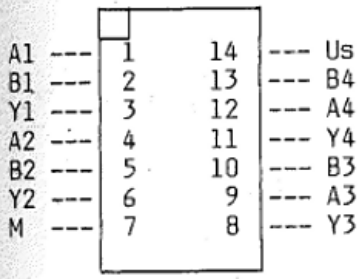
Funktionstabelle:

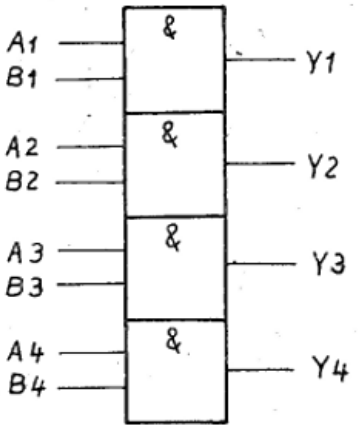
/EN	Ausgang
H	H
L	⊓⊓⊓

K 531 LI 1 P

SN 74 S 08

Vier AND-Gatter mit je zwei Eingängen

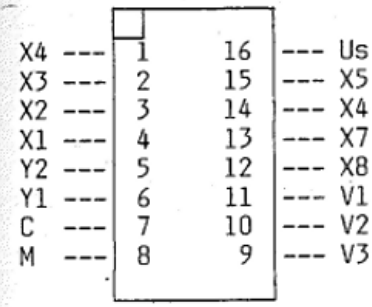


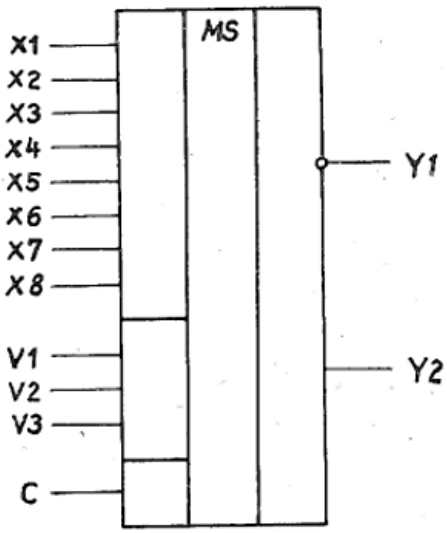


K 531 KP 7 P

SN 74 S 151

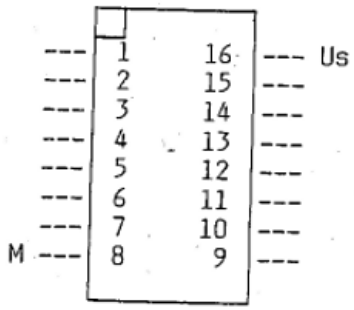
8 Bit Multiplexer



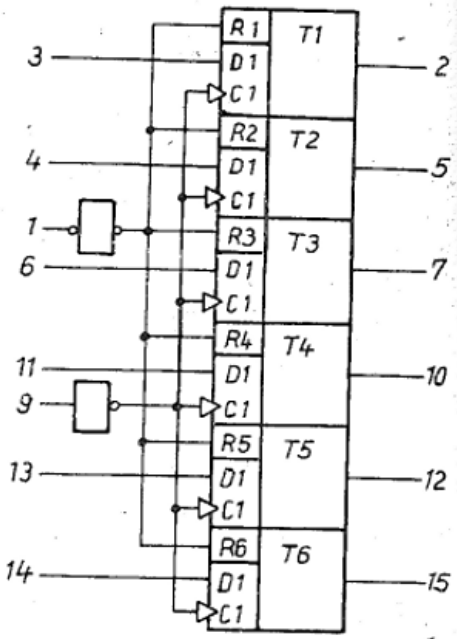


K 531 TM 9 P

6 Bit D-Register

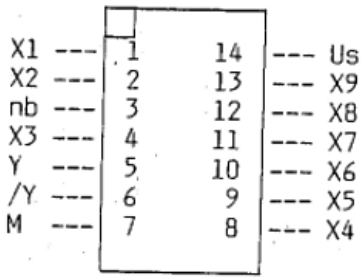


SN 74 S 174



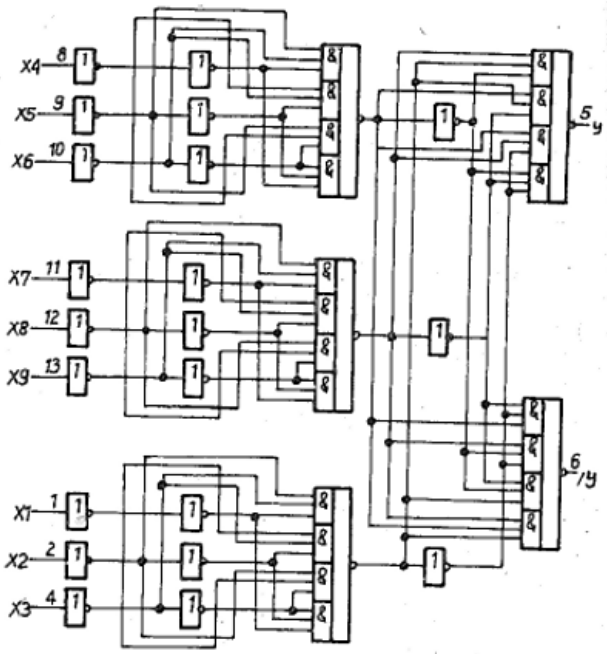
K 531 IP 5 P

9 Bit Paritätsgenerator



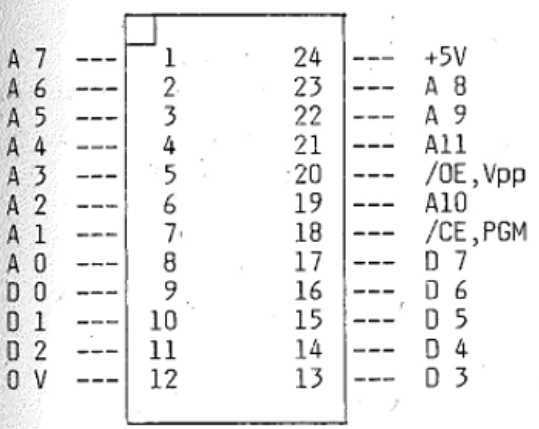
n.b. = nicht belegt

SN 74 S 280



U 2732 C 35

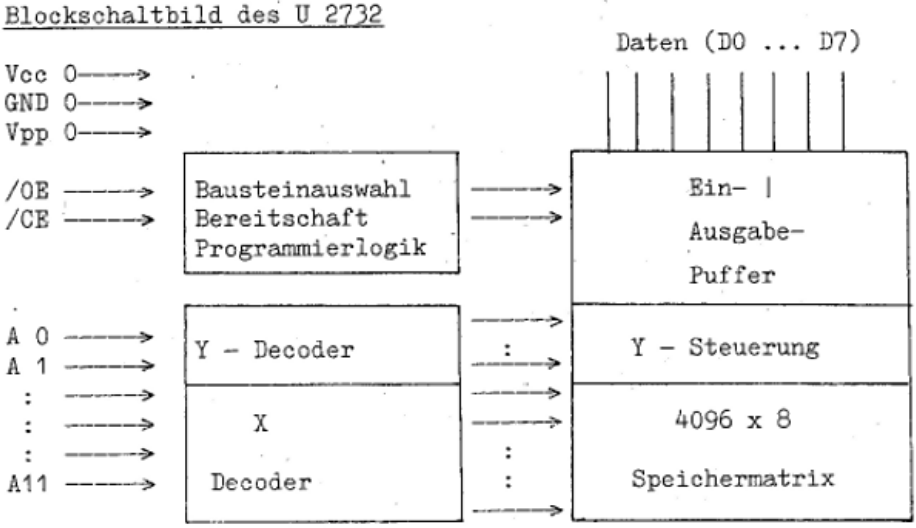
32 kBit - UV - löschbarer EPROM (4K x 8)



A0 ... A11	Adresseneingänge
D0 ... D7	Datenausgänge|-eingänge
/OE	Datenausgang - Freigabe
PGM	Programmierung
/CE	Bausteinauswahl

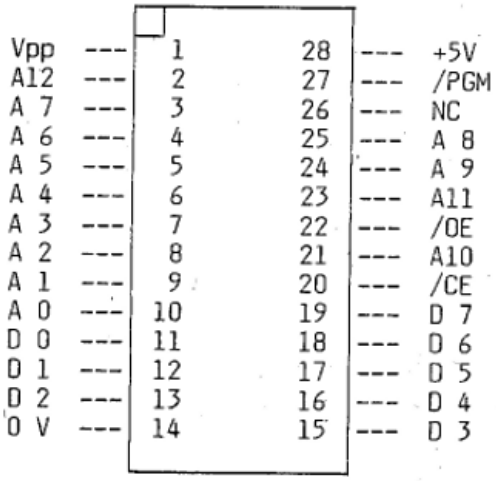
MODE \ PINS	/CE-PGM	/OE-Vpp	Vcc	DO...D7
Lesen	L	L	+5V	D_{OUT}
Bereitschaft	H	beliebig	+5V	Tri-state
Programmierung	50 ms H/L - Impulse	+25V (2732) +21V (2732A)	+5V	D_{IN}
Überprüfung der programmierten Daten	L	L	+5V	D_{OUT}
Programmierung gesperrt	H	+25V	+5V	Tri-state

Blockschaltbild des U 2732



D 2764 C 30

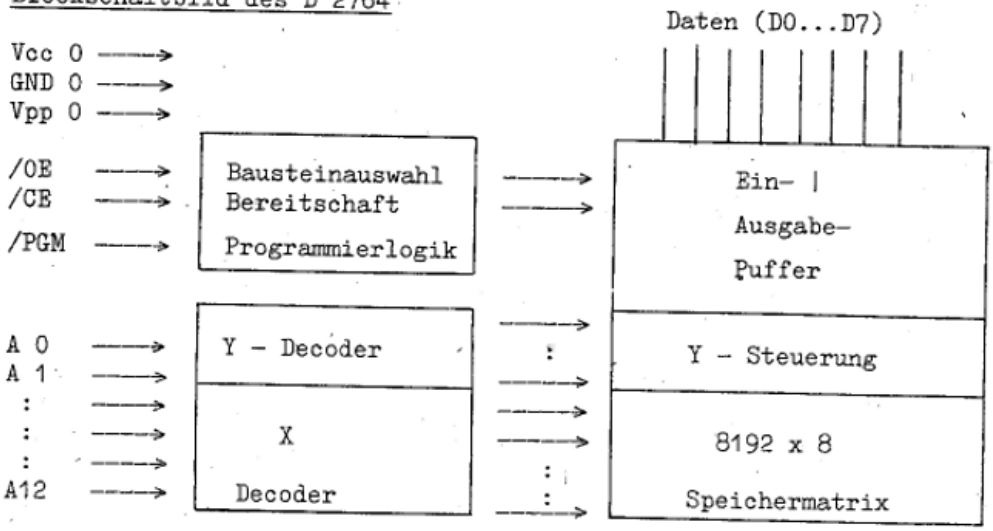
64 kBit - UV - löschbarer EPROM (8K x 8)

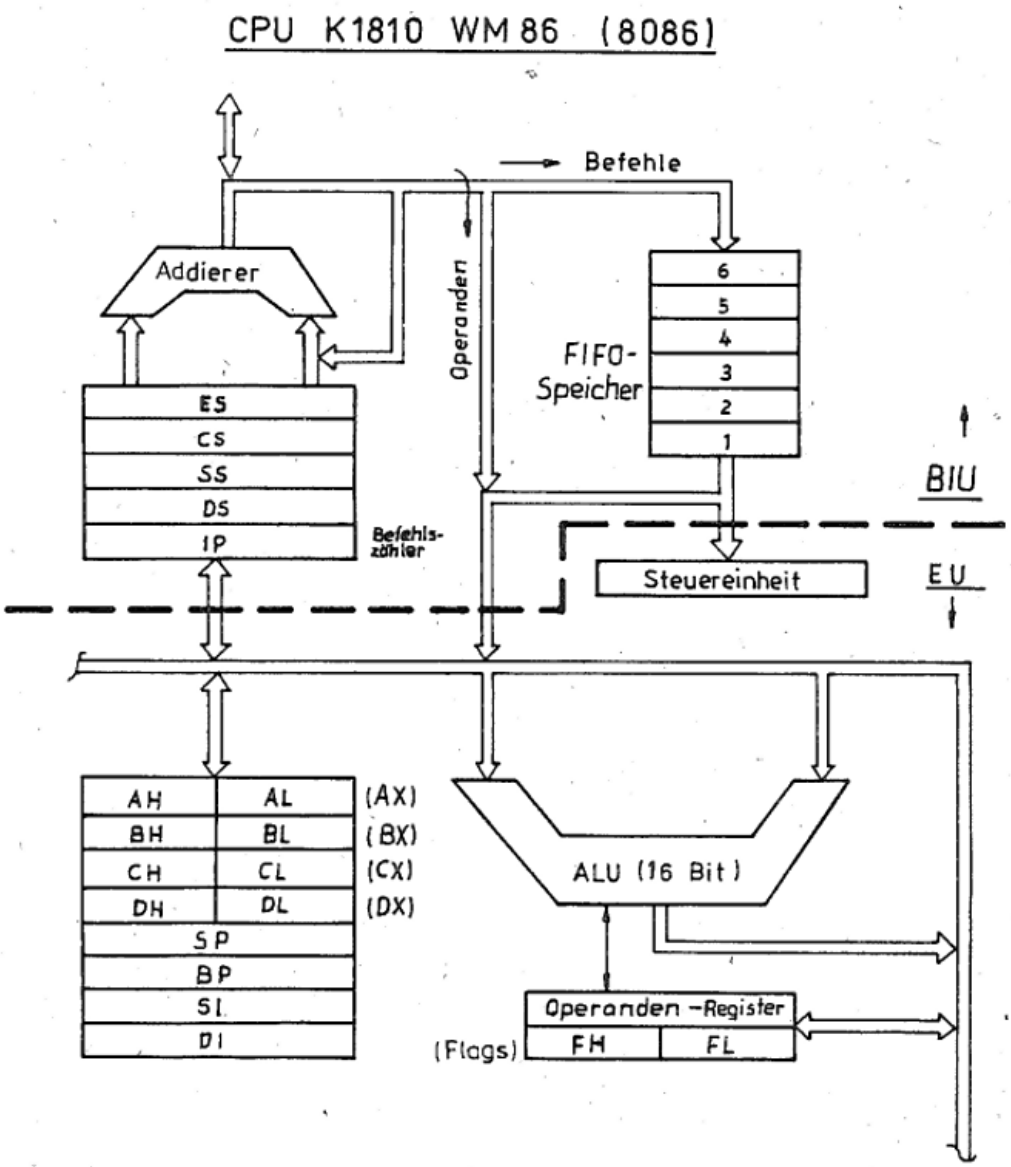


A0 ... A12	Adresseneingänge
D0 ... D 7	Datenausgänge|-eingänge
/OE	Datenausgang - Freigabe
/CE	Bausteinauswahl
NC	keine Verbindung
/PGM	Programmierung

MODE \ PINS	/CE	/OE	/PGM	Vpp	Vcc	D0...D7
Lesen	L	L	H	+5V	+5V	D_{OUT}
Bereitschaft	H	beliebig	beliebig	+5V	+5V	Tri-state
Programmierung	L	beliebig	L	+25V	+5V	D_{IN}
Überprüfung der programmierten Daten	L	L	H	+25V	+5V	D_{OUT}
Programmierung gesperrt	H	beliebig	beliebig	+25V	+5V	Tri-state

Blockschaltbild des D 2764





Aufbau der CPU Bild 1

BIU = Businterfaceeinheit

Sie schaltet die CPU an das Bussystem und optimiert die Prozessorgeschwindigkeit.
Dies geschieht, indem die BIU die Befehle im voraus aus dem Speicher holt und in einen 6 Byte großen FIFO-Speicher ablegt. Aus diesem Schiebespeicher werden die einzelnen Byte eines Befehls ausgelesen und interpretiert. Bei Datenzugriffen auf den Speicher wird ein spezieller Datenpfad parallel zum FIFO geschaltet, da Operanden nicht durch den FIFO gehen.

Bei einem Befehls- und Datenzugriff von der BIU, hat der Datenzugriff die höhere Priorität.
Das Laden eines neuen Befehls in den FIFO, während der alte noch ausgeführt wird, erhöht die Arbeitsleistung wesentlich. Nschteilig wirkt sich der FIFO jedoch dann aus, wenn viele Verzweigungsbefehle (JMP, CALL) im Programm sind.

Der im voraus geladene FIFO verliert bei der Auswertung eines Verzweigungsbefehls seine Gültigkeit, da er diesen nicht berücksichtigt.

Eine weitere Aufgabe der BIU ist die Generierung der Adresse. Sie wird durch Addition eines Offsets (Inhalt des Befehlszählers oder direkt im Befehl enthalten) und dem um 4 Bit links verschobenen Inhalt eines Segmentregisters (CS, DS ES, SS) gebildet, siehe Bild 3.

EU = Ausführungseinheit

Sie verarbeitet die von der BIU gelieferten Daten entsprechend der anliegenden Befehle.
Die ALU benutzt als Zwischenspeicher das Operandenregister.

Steuereinheit

Sie steuert den Datenaustausch zwischen den zueinander asynchron arbeitenden BIU und EU und erzeugt alle nötigen Bussteuersignale.
Neu gegenüber früheren Prozessoren ist, daß die Steuerlogik nicht mehr festverdrahtet ist, sondern durch ein Mikroprogramm realisiert wird.

Registersatz

AH	AL
BH	BL
CH	CL
DH	DL

AX – Register (A = Accumulator)
BX – Register (B = Base)
CX – Register (C = Counter)
DX – Register (D = Date)

SP
BP
SI
DI

Stackpointer
Basepointer
Source-Index
Destination-Index

IP	
FH	FL

Instruction pointer (Befehlszähler)
Flagwort

CS
DS
SS
ES

Code – Segment-Register
Daten – Segment-Register
Stack – Segment-Register
Extra – Segment-Register

Bild 2

Allgemeine Register

Diese Registergruppe besteht aus den 16-Bit-Registern AX, BX, CX und DX und dient zur Realisierung arithmetischer und logischer Operationen.
Ihre spezielle Eigenschaft besteht in der Möglichkeit, höher- und niederwertige Bytes getrennt adressieren zu können. Die Aufteilung erfolgt in eine H- und eine L-Gruppe.
Das Akkumulatorregister AX beinhaltet auch Ergebnisse bestimmter Operationen. Daten bei E|A Befehlen werden nur über das AX-Register transferiert.

Pointer- und Index-Register

Diese Registergruppe besteht aus dem SP, BP, SI und DI-Register (P-Gruppe, I-Gruppe). Sie beinhalten im allgemeinen Offset- oder Basis-Adressen zur Berechnung einer Adresse innerhalb eines Segments.
Das SP-Register adressiert immer relativ zum Inhalt des Stacksegment-Registers (SS), ebenso das BP-Register, wenn keine andere Vereinbarung vom Programmierer getroffen wird.

In String-Befehlen adressiert das SI-Register immer relativ zum Datensegment-Register DS (Quelle), während das DI-Register relativ zum Extrasegment-Register ES adressiert.

Die 4 Register können ebenfalls als allgemeine Register bei arithmetischen und logischen Operationen verwendet werden.

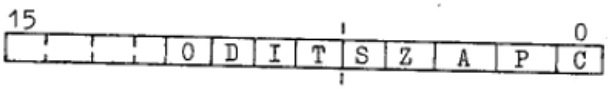
Normalfall (keine spezielle Vereinbarung getroffen)		Spezialfall (spezielle Vereinbarung, Override prefix getroffen)	
Register	relativ zu Register ...	Kein Sprungbefehl relativ zu Register ...	Sprungbefehl relativ zu Register ...
SP	SS	-	-
BP	SS	DS, ES, CS	-
SI	DS	SS, ES, CS	DS
DI	DS	SS, ES, CS	ES

Befehlszähler IP

Er adressiert relativ zum Inhalt des Codesegment-Registers CS einen Speicherbereich von 64 K Byte.

(IP + CS = aktueller Befehl!)

Flagwort



C : Übertrags-flag(Carry-flag)
P : Paritäts-flag (Parity-flag)
A : Hilfs-Übertrags-flag (Auxilliary-Carry-flag)
Z : Nullbit (Zero-flag)
S : Vorzeichen-flag (Sign-flag)

T : Trap-flag
Ist dieses Bit gesetzt, geht der Prozessor in den Single-Step-Betrieb, d.h. nach der Ausführung eines jeden Befehles wird eine vom Anwender definierte Routine ausgeführt. (Siehe Seite 52 - 54)
Dieses Bit kann nicht direkt im Flagwort gesetzt werden, sondern muß in den Stack geladen werden, wo beliebig manipuliert werden kann.

I : Interrupt enable-flag
Wird dieses Bit gesetzt, reagiert der Prozessor auf externe Interrupts; sonst werden sie ignoriert.

D : Richtungsbit (Direction-flag)
Nur wichtig bei der Ausführung von Stringbefehlen.
Es gibt an, ob eine Startadresse in Richtung fallender oder steigender Adresse eines Datenblocks verarbeitet wird.
D = 1 steigend, D = Ø fallend.

O : Überlauf-flag (Overflow-flag)
Es wird gesetzt, wenn bei einer arithmetischen Operation im Ergebnis ein Über- oder Unterlauf auftritt.

Generierung der Speicheradresse

Jeder Speicherzugriff findet innerhalb eines Segments von 64 K Byte statt. Es sind gleichzeitig 4 verschiedene Segmente definiert:

- Codesegment (CS-Register zugeordnet)
- Stacksegment (SS-Register zugeordnet)
- Datensegment (DS-Register zugeordnet)
- Extrasegment (ES-Register zugeordnet)

Die zugeordneten Register enthalten jeweils die Anfangsadresse des Segments.

Innerhalb des Segments kann mit dem 16-Bit-Offset (logische Adresse) adressiert werden.

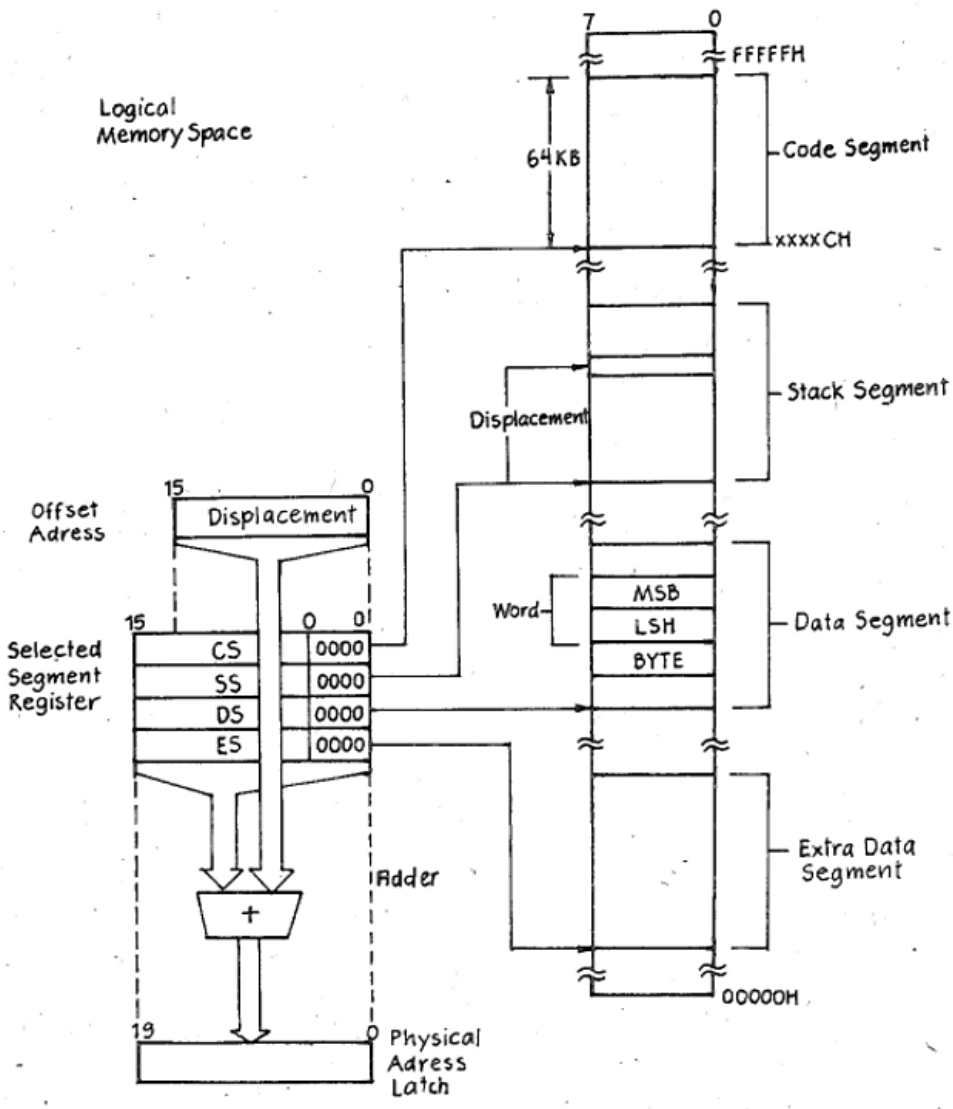
Jeder Speicherzugriff, abhängig von seiner Art, erfolgt innerhalb eines speziellen Segments.

Es gibt auch die Möglichkeit, ein beliebiges Segment bei Datenzugriffen (nicht Codezugriffen) im Befehl MOV zu spezifizieren. Dies geschieht durch den "Override Prefix" für die Segmentregister SS, ES und DS. CS wird vom System nicht unterstützt.

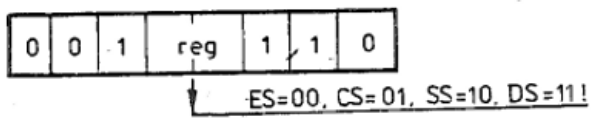
Der im 4 Bit nach links verschobene Inhalt eines Segmentregisters wird auf die Offsetadresse addiert. Somit können Segmente nur auf Adressen mit einem Vielfachen von 16 definiert werden.

Diese Addition der beiden Registerinhalte ergibt die physische Adresse innerhalb eines Speicherbereiches von 1 MByte.
Dual adressierbar über 20 Bit (Adressleitungen).

Memory Segmentation Model



Segment Override Prefix



Use of Segment Override

Operand	Default	With Override Prefix
IP (Code Address)	CS	Never
SP (Stack Address)	SS	Never
BP (Stack Address or Stack Marker)	SS	BP + DS or ES or CS
SI or DI (not including strings)	DS	ES, SS or CS
SI (Implicit Source Address for Strings)	DS	ES, SS or CS
DI (Implicit Destination Address for Strings)	ES	Never

(erscheint nicht)

Bild 3

Systembeschreibung des 8086

1. PIN-Belegung

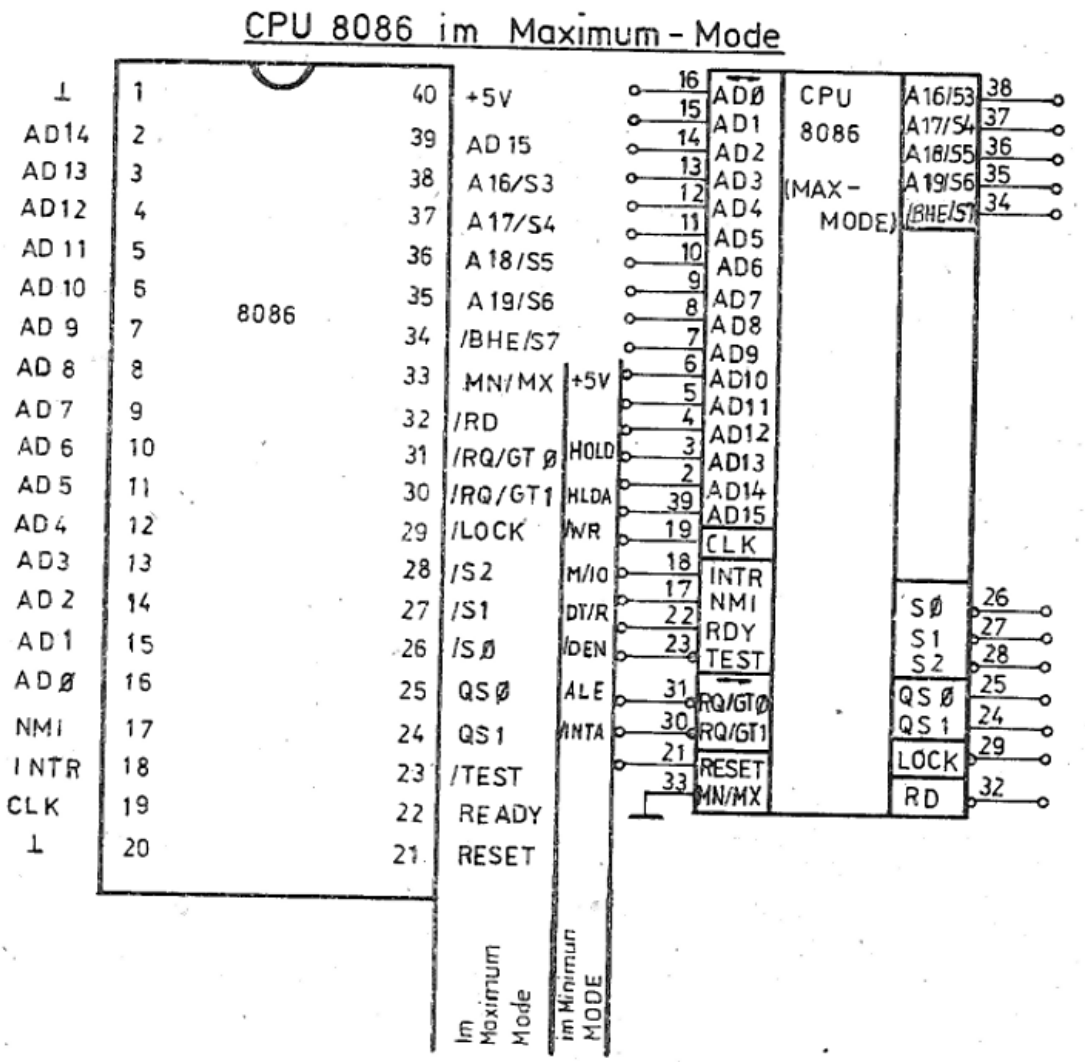


Bild 4

2. PIN-Beschreibung

AD15 - AD0 (bidirektional)
- Bus, auf dem Adressen und Daten im Multiplexbetrieb übertragen werden.
- H aktiv
- Gehen bei "Interrupt-acknowledge"- oder "Hold-acknowledge" Zyklus in den 3-state-Zustand.

A19|S6, A18|S5 A17|S4, A16|S3 (Ausgänge)
- Während T1 eines Speicherzugriffs werden die 4 höherwertigen Adressbits A19 - A16 übertragen.
- Während T1 einer E|A-Operation werden diese Leitungen L
- Bei Speicherzugriffen oder E|A-Operationen werden während T2, T3, TW und T4 auf diesen Leitungen Statusinformationen der CPU übertragen.
- Gehen bei "Interrupt-acknowledge"- oder "Hold-acknowledge" Zyklus in den 3-state-Zustand. (siehe dazu Seite 42)

/BHE|S7 (Ausgang,3-state)
- Während T1, übertragen BHE (Bus high enable) und das Adressbit A0 die Information, ob auf dem Speicher ein Byte- oder Wortzugriff erfolgt.
- Die Statusinformation S7 ist während T2, T3, T4 verfügbar (siehe Seite 43)

/RD (Ausgang)
- Lese-Signal, dient zur Ausführung eines Speicher-Lese- oder E|A-Lesezyklus, abhängig vom Status des /S2-Pin.
- Mit diesem Signal werden Daten von der Peripherie gelesen, die auf den 8086-Bus geschaltet ist.
- Aktiv L, während Lesezyklus bei T2, T3 und TW.
- Aktiv H, solange sich der Bus im 3-state-Zustand befindet.
- Geht bei "Hold-acknowledge" Zyklus in den 3-state-Zustand.

READY (Eingang)
- Quittungssignal des adressierten Speichers oder einer Peripherie nach Abschluß eines Datentransfers.
- Solange READY (aktiv H) L ist, legt die CPU Wartezyklen TW ein.

INTR (Eingang)
- Flankengetriggerter Eingang (positive Flanke triggert), der während des letzten Taktzyklus eines jeden Befehls abgefragt wird, um zu entscheiden, ob der Prozessor in eine Interruptsequenz eintreten muß.
- Dieser Eingang kann mittels Software maskiert oder freigegeben werden (Rücksetzen oder Setzen der Interrupt-enable-Bits im Flagwort).

/TEST (Eingang)
- Wird während des WAIT-Befehls abgefragt.
- Schaltet /TEST nach L wird die Programmabarbeitung fortgesetzt, sonst bleibt der Prozessor in einer Warteschleife.
- /TEST wird intern synchronisiert mit der negativen Flanke eines jeden Taktzyklus.

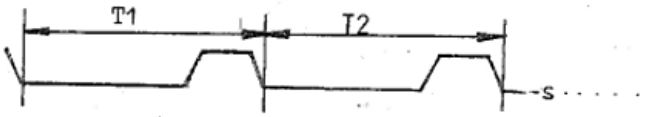
NMI (Eingang)
- Eine positive Flanke an diesem Eingang löst einen Interrupt des Typ 2 aus (siehe Seite 53).
- NMI kann intern nicht maskiert werden und hat höchste Priorität.

RESET
(Eingang)

- Dieses Signal ist aktiv H und muß mindestens 4 Taktzyklen andauern, um die Prozessoraktivität in gewünschter Weise zu unterbrechen.
- Es wird CPU intern synchronisiert (siehe dazu Seite 43)

CLK
(Eingang)

- Systemtakteingang im Tastverhältnis 2:1



MN|/MX
(Eingang)

- Legt die Betriebsart des 8086 fest.
- MN|/MX = 5 V: Minimum-Mode
  MN|/MX = 0 V: Maximum-Mode

In den einzelnen Betriebsarten werden gleiche Pins verschiedenen Funktionen zugeordnet.
Die folgende Beschreibung von Pin-Funktionen bezieht sich auf den Minimum-Mode. Es werden nur die Pin-Funktionen beschrieben, die für diese Betriebsart bezeichnend sind.

M|/IO
(Ausgang,3-state)

- Legt den Speicher- oder EA-Zugriff fest.
- M|/IO = L: E|A-Zugriff
  M|/IO = H: Speicherzugriff

/WR
(Ausgang)

- Schreiben ⟶ Speicher oder E|A-Einheiten
- /WR ist aktiv L in jedem T2, T3 und TW eines Schreibzugriffs
- Geht während "Hold-acknowledge" in den 3-state-Zustand.

/INTA

- Lesesignal für Interruptvektoren während des "Interrupt-acknowledge"-Zyklus.
- Geht während "Hold-acknowledge" in den 3-state-Zustand.

ALE
(Ausgang)

- Dient zum Abspeichern der Adresse in ein Register.
- Während T1 eines Buszyklus ist ALE aktiv H.

DT|/R
(Ausgang)

- Daten senden|-empfangen
- DT|/R = L: CPU liest Daten vom Bus
  DT|/R = H: CPU sendet Daten zum Bus.

/DEN
(Ausgang)

- Das Zeitverhalten dieses Signals entspricht dem Signal M|/IO (3-state-Zustand während "Hold-acknowledge"). Es zeigt an, wann die von der CPU auf den Bus gelegten Daten gültig sind.
- /DEN ist aktiv L während Speicher- und E|A-Zyklen und während jedem /INTA-Zyklus.
- Während eines /INTA- oder Lesezyklus ist /DEN von Mitte T2 bis Mitte T4 gültig, dagegen ist /DEN während eines Schreibzyklus von Anfang T2 bis Mitte T4 gültig.
- Während "Hold-acknowledge" ist /DEN im 3-state-Zustand.

HOLD (Eingang)
- Der Bus kann von einem anderen Master angefordert werden.
- Aktiv H.

HLDA (Ausgang)
- ("Hold-acknowledge"). Nach dem Aktivieren des Hold-Signals sendet der Prozessor als Quittung das HLDA-Signal, aktiv H während T1 oder T4. Zugleich werden der Bus und Steuerleitungen hochohmig.
- Nach Rücknahme der HOLD-Anforderung nimmt der Prozessor das HLDA-Signal zurück und belegt Bus und Steuerleitungen.

Die folgende Beschreibung von Pin-Funktionen bezieht sich auf den Maximum-Mode. Es werden nur die für diese Betriebsart spezifischen Pin-Funktionen beschrieben.

/S2, /S1, /S0 (Ausgänge)
- Sind Statusinformationen der CPU.
- Aktiv L
- Gehen während "Hold-acknowledge" in den 3-state-Zustand.

/RQ|/GT0
/RQ|GT1 (Ein-|Ausgänge)
- Diese REQUEST|GRANT (Anforderung|Übergabe) Pins werden von anderen am Bus angeschlossenen Rechnern benötigt, um eine Busfreigabe am Ende eines Buszyklus zu erreichen.
- /RQ|/GT0 besitzt die höhere Priorität.

/LOCK (Ausgang)
- Mit aktiv L kann die CPU für einen Buszyklus den Bus belegen und damit den Buszugriff für andere Master sperren.
- Dieses Signal wird durch den LOCK-Prefix eines Befehls aktiviert und bleibt aktiv, bis der nächste Befehl aus dem FIFO geholt wird.
- Während einer "Hold-acknowledge"-Sequenz ist LOCK im 3-state-Zustand.

QS1|QS0 (Ausgänge)
- Sind Status-Informationen über den Zustand des CPU internen Befehls-FIFO. (Siehe dazu Seite 42)

3. Statusinformationen

/S2, /S1, /S0
Sind nur im Maximum-Mode definiert und während T4, T1 und T2 aktiv.
Sie gehen während T3 oder TW in den passiven Zustand über, wenn das READY-Signal H ist.
Sie werden vom 8288 benötigt, um Steuersignale für Speicher- oder E|A-Zugriff zu generieren.
Jeder Wechsel von /S2, /S1 oder /S0 während T4 zeigt den Beginn eines neuen Buszyklus an, während der Übergang in den passiven Zustand bei T3 oder TW das Ende des Buszyklus anzeigt.

Statussignale			CPU - Zyklus	8288 - Signale
/S2	/S1	/S0		
0	0	0	Unterbrechungsannahme	/INTA
0	0	1	E|A-Port lesen	/IORC
0	1	0	E|A-Port schreiben	/IOWC,/AIOWC
0	1	1	Halt	-
1	0	0	Befehlskode lesen	/MRDC
1	0	1	Speicherplatz lesen	/MRDC
1	1	0	Speicherplatz schreiben	/MWTC,/AMWC
1	1	1	passiv	-

A19|S6, A18|S5, A17|S4, A16|S3

Auf diesen Leitungen werden Adressen und Statusinformationen übertragen. Während T1 können die 4 höherwertigen Adressbits an diesen Pins abgenommen werden.
Während E|A-Operationen sind diese Pins auf L geschaltet; andererseits können während T2, T3, TW und T4 bei Speicherzugriffen Statusinformationen abgenommen werden.
Der Status des Interrupt-Enable-Flag-Bit (S5) wird bei Beginn eines jeden Taktzyklus CLK angezeigt.

A17|S4 und A16|S3 werden wir folgt dekodiert:

S4	S3	Segmentregister
0	0	ES
0	1	SS
1	0	CS oder keines (E|A oder Unterbrechung)
0	1	DS

QS1, QS0

Sind nur im Maximum-Mode definiert und geben Aufschluß über den Status des CPU-internen FIFO-Speichers:

QS0	QS1	Zustand des FIFO-Speichers
0	0	Während des letzten Taktzyklus wurde nichts aus dem FIFO-Speicher entnommen.
0	1	Das aus dem FIFO-Speicher entnommene Byte war das erste Byte eines Befehls
1	0	Der FIFO-Speicher ist leer geworden.
1	1	Das aus dem FIFO-Speicher entnommene Byte war nicht das erste Byte eines Befehls.

Der FIFO-Speicherstatus ist während des Taktzyklus gültig, der dem folgt, in dem die angegebene Aktivität stattfand.

/BHE|S7

Über dieses Pin werden im Multiplexbetrieb 2 unterschiedliche Signale übertragen.
Während T1 ist /BHE aktiv und während T2, T3 und T4 steht die Statusinformation S7 zur Verfügung.
Dieses Statusbit führt L während T1 des ersten "Interrupt-acknowledge"-Zyklus.
(Z.Zt. noch unbenutzt!)

/BHE	A0	übertragene Bytes
0	0	beide Bytes (Wortzugriff)
0	1	höherwertiges Byte in|aus ungerader Adresse
1	0	niederwertiges Byte in|aus gerader Adresse
1	1	keine

4. RESET-, HALT-Funktion

RESET-Funktion

Soll der Prozessor neu initialisiert werden, muß die RESET-Leitung (Pin 21) mindestens 4 Taktzyklen auf H gelegt werden.
Wird mit dem Einschalten der CPU zugleich die RESET-Leitung aktividert, so muß sie mindestens bis 50 ns nach Stabilisierung der + 5V auf H liegen.

Mit der ansteigenden Flanke des RESET-Signals unterbricht der Prozessor seine Operation und bleibt gesperrt, solange H am RESET-Pin anliegt. Mit der abfallenden Flanke wird eine interne RESET-Sequenz von ungefähr 10 Taktzyklen gestartet. Diese Sequenz endet damit, daß die Register wie folgt initialisiert sind.

```
Flags = 0000H )
CS    = FFFFH ) Interrupt und Single-Step maskiert

IP    = 0000H )
CS    = FFFFH ) Start bei Adresse FFFF0H

SS    = 0000H
ES    = 0000H
```

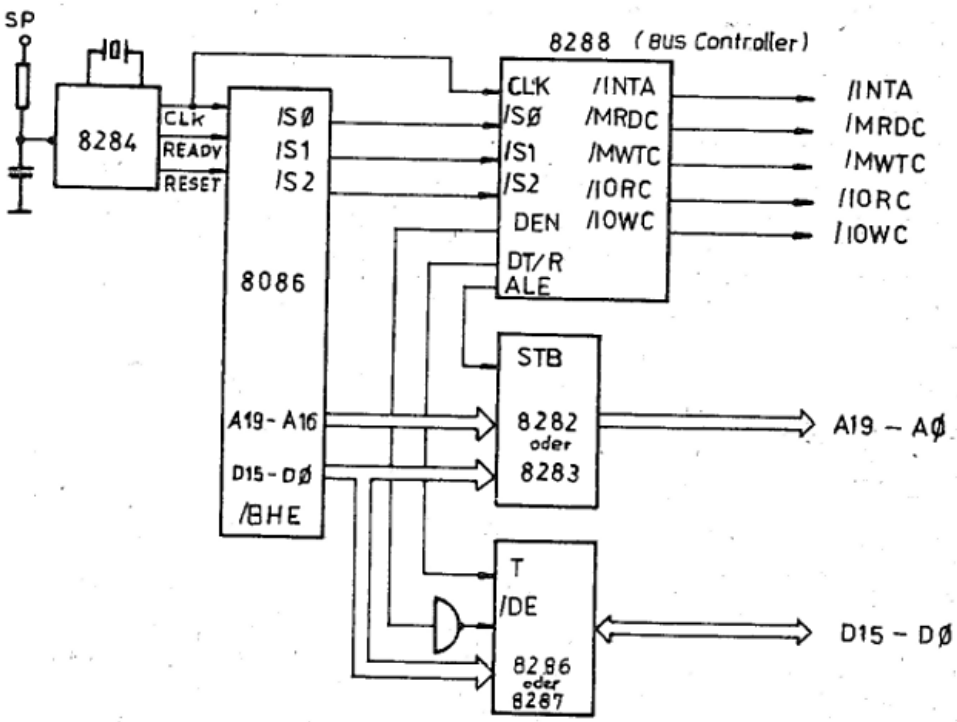
Alle anderen Register bleiben von der RESET-Sequenz unberührt. Wird der Interrupteingang INTR (Pin 18) früher als 9 Taktzyklen nach der abfallenden Flanke des RESET-Signals aktiviert, so kann der Prozessor noch einen Befehl vor der Reaktion auf den Interrupt ausführen.
Der nicht maskierbare Interrupteingang NMI (Pin 17) darf nicht früher als 2 Taktzyklen nach dem RESET-Ende aktiviert werden.

HALT-Funktion

Nach Ausführung eines HALT-Befehls wird die weitere Befehlsausführung angehalten.
Der 8086 verläßt den HALT-Zustand nicht, wenn der Bus über HOLD bzw. RQ|GT angefordert wird. Ein Interrupt- oder RESET-Signal hebt den HALT-Zustand wieder auf.

5. Maximum-Betriebsart (MN|/MX = LOW)

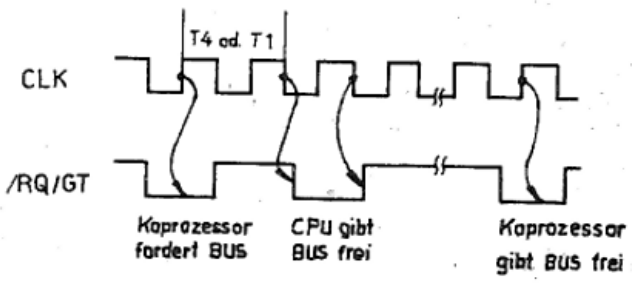
Die von der CPU über /S2, /S1 oder /S0 abgegebene Statusinformation muß in einem Bus-Controller (8288) zur Generierung der Bussteuersignale verarbeitet werden.



Maximum-Mode eines 8086-Systems Bild 5·

6. REQUEST-Funktion

In der Maximum-Betriebsart erfolgt die Busanforderung und Quittung über /RQ|/GT0 oder /RQ|/GT1. Der dafür vorgesehene Mechanismus wurde für das Zusammenwirken von 8086 und 8087 als Koprozessor entwickelt.
Die Busanforderung und Quittung erfolgt über eine einzige Leitung.



Impulsdiagramm der REQUEST-Funktion Bild 6

7. Ein-|Ausgabesystem

Es gibt 2 Arten der E|A-Organisation

- Memory Mapped I|O
- I|O Mapped I|O

Memory Mapped I|O

Bei diesem Verfahren erfolgt der Zugriff auf E|A-Ports wie auf einen Speicher.

Bei Verwendung des 8205 (Dekodierbaustein) können 24 16-Bit-Ports oder 46 8-Bit-Ports adressiert werden. Der Adressenbereich für diese Ports reicht im vorliegenden Fall von 400H bis 43FH.
A10 und A14 selektieren das E|A-System, während /BHE und A0 zur Byteauswahl innerhalb eines Wortes dienen.

I|O Mapped I|O

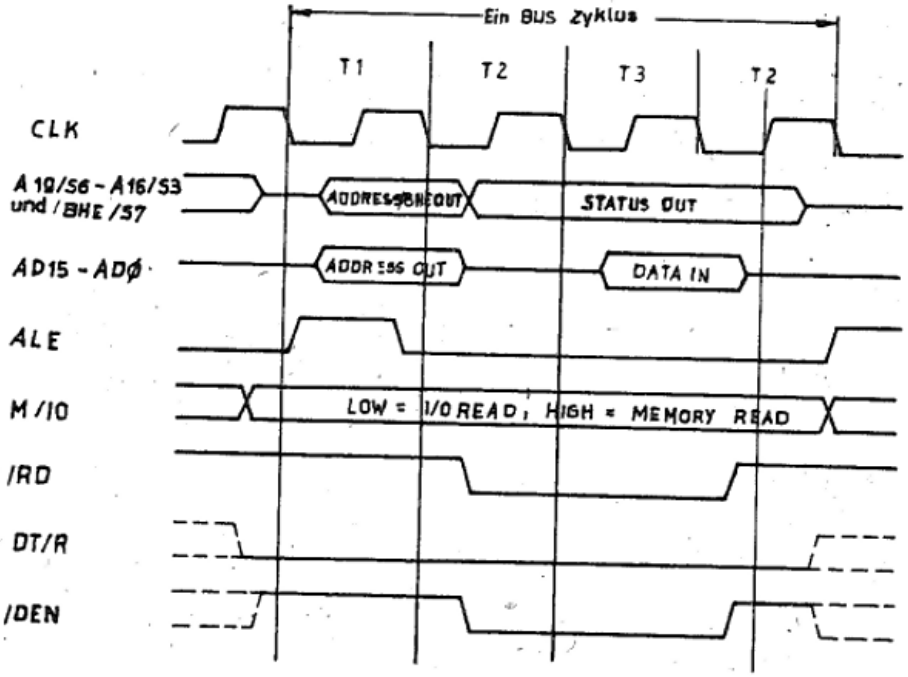
Dieses Verfahren verlangt die Unterscheidung zwischen Speicher- oder E|A-Zugriff, was durch das Signal M|/IO geschieht

8. Bussystem

Der 8086 besitzt einen gemeinsamen Adress- und Datenbus, der im Multiplexbetrieb arbeitet. Jeder Prozessor-Buszyklus besteht aus 4 Taktzyklen (CLK) T1 - T4. Während T1 wird von der CPU die Adresse auf den Bus gelegt, die mit der negativen Flanke von ALE (Adress-Latch-Enable) in ein Latch übernommen werden kann.

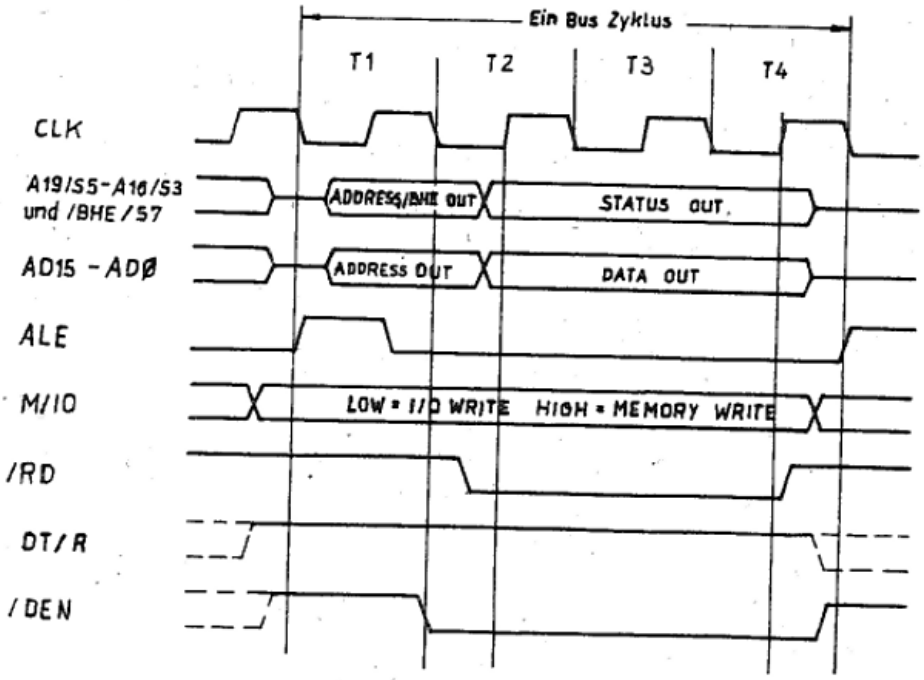
Mit den Taktzyklen T3, T4 werden die Daten auf dem Bus transferiert, während T2 vor allem für das Umschalten der Busrichtung für eine Leseoperation benötigt wird. Ist das Signal READY noch aktiv (lange Zugriffszeit des Speichers oder der Peripherie), so werden zwischen T3 und T4 Wartezyklen (TW) eingefügt.

Während T1 eines jeden Buszyklus wird das Signal ALE vom 8288 (Bus-Controller) generiert. Mit der abfallenden Flanke dieses Signals kann die Adresse und Statusinformation abgespeichert werden.



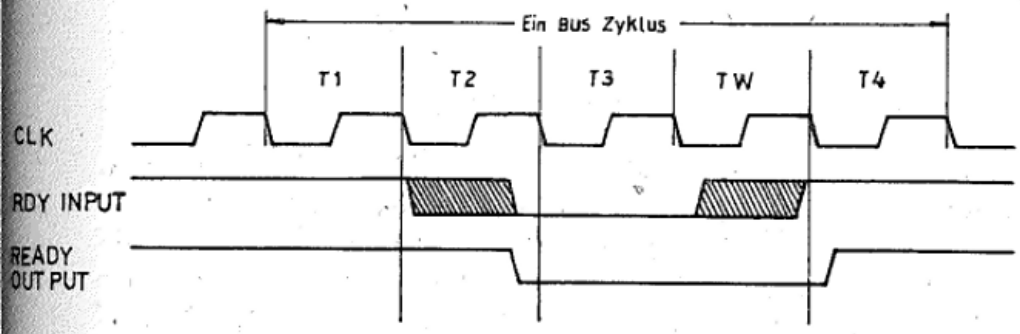
Lese Zyklus

Bild 7



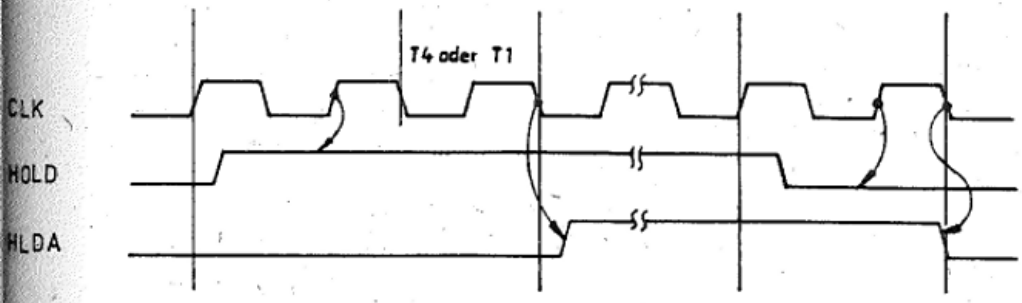
Schreib Zyklus

Bild 8



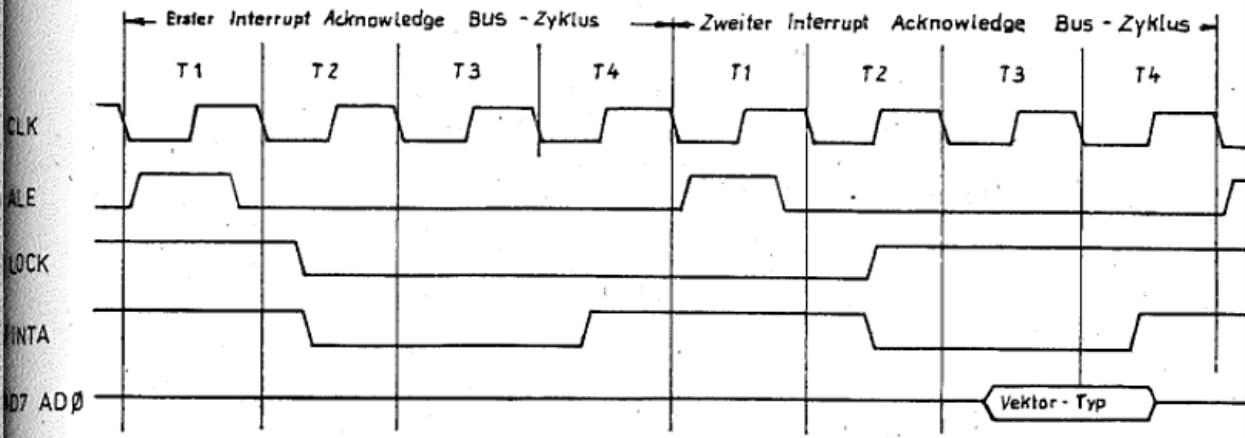
WAIT Zyklus

Bild 9



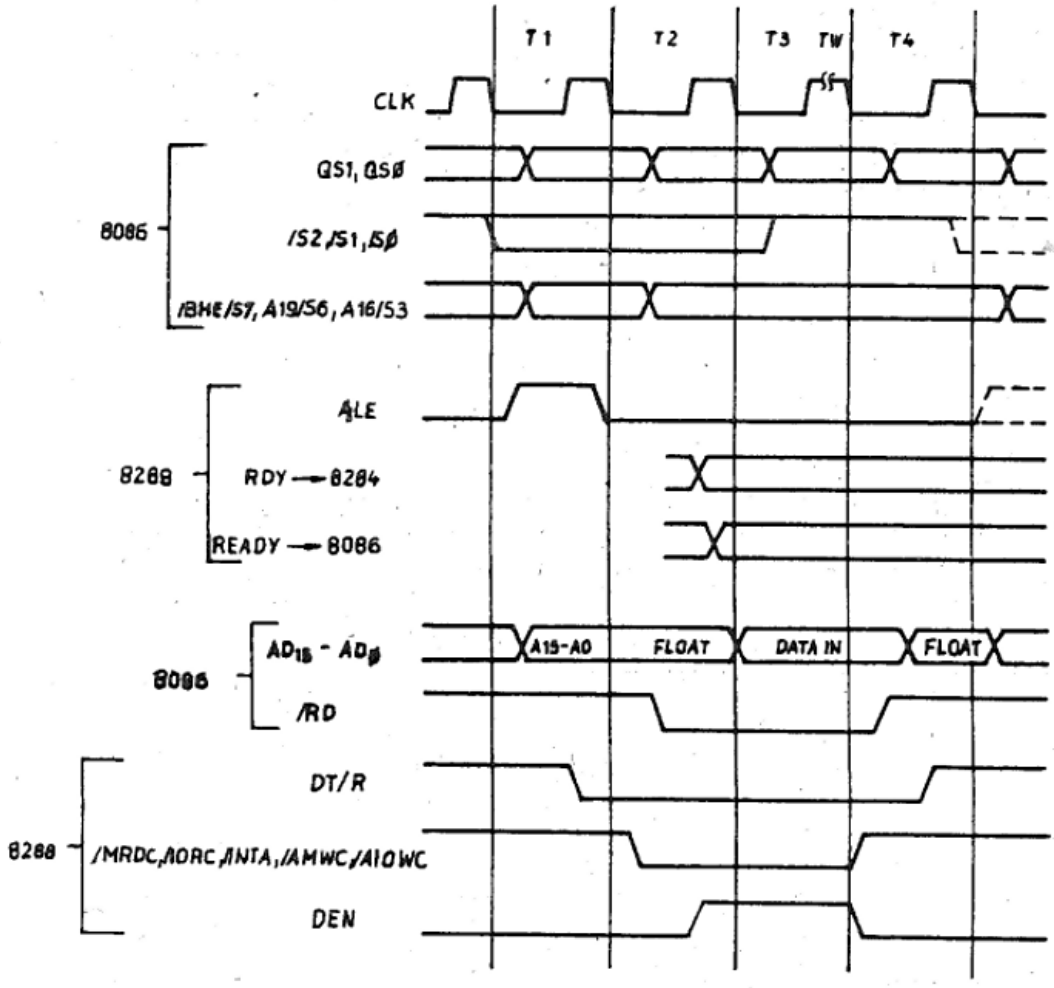
HOLD/ HLDA Zyklus

Bild 10



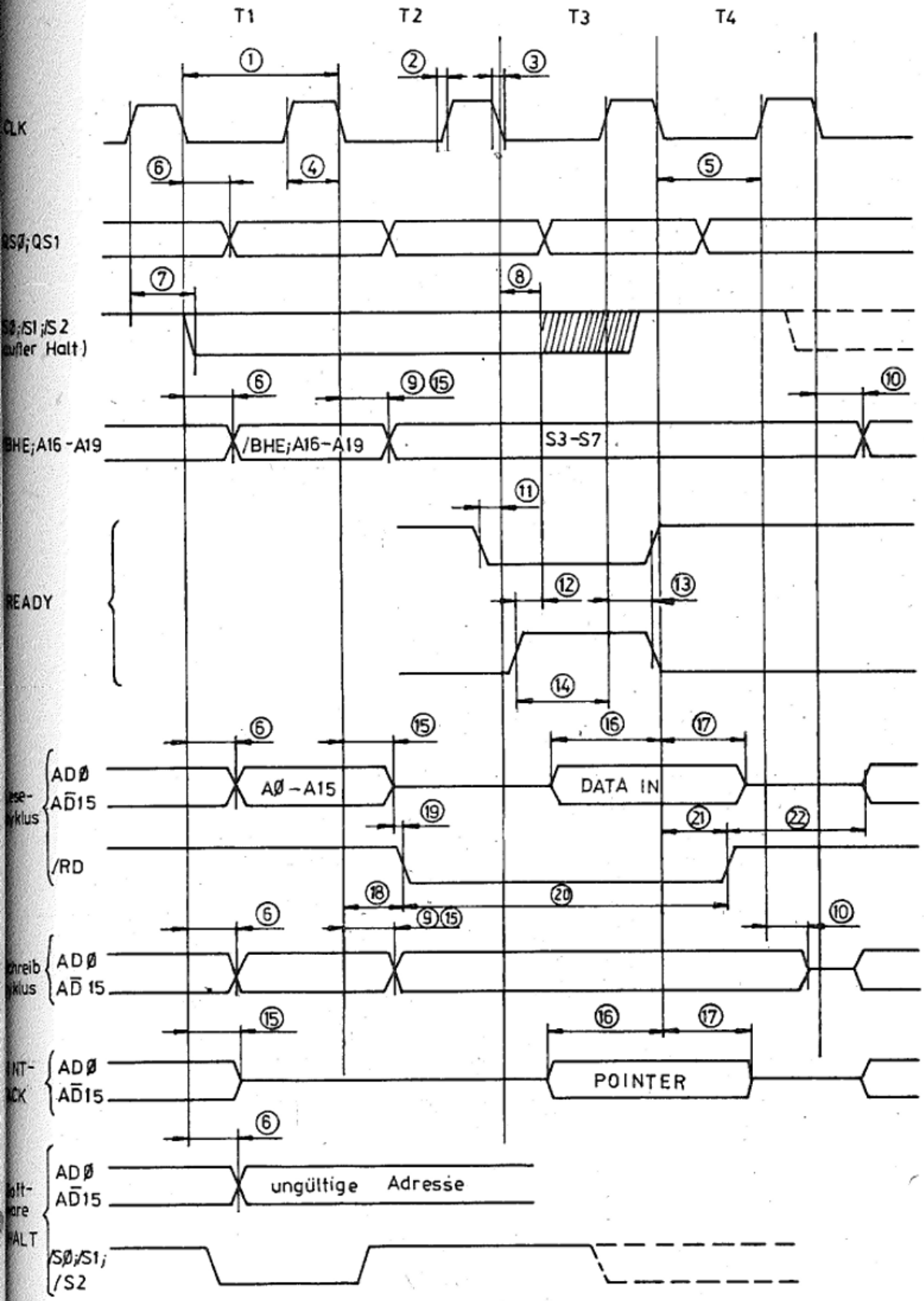
Interrupt Acknowledge Folge

Bild 11

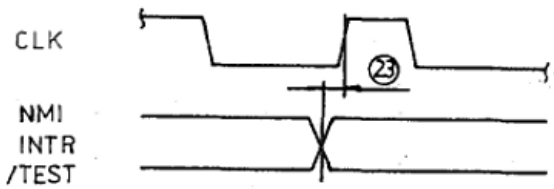


Bussignale im Maximum Mode

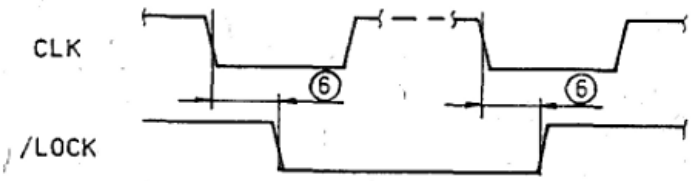
Bild 12



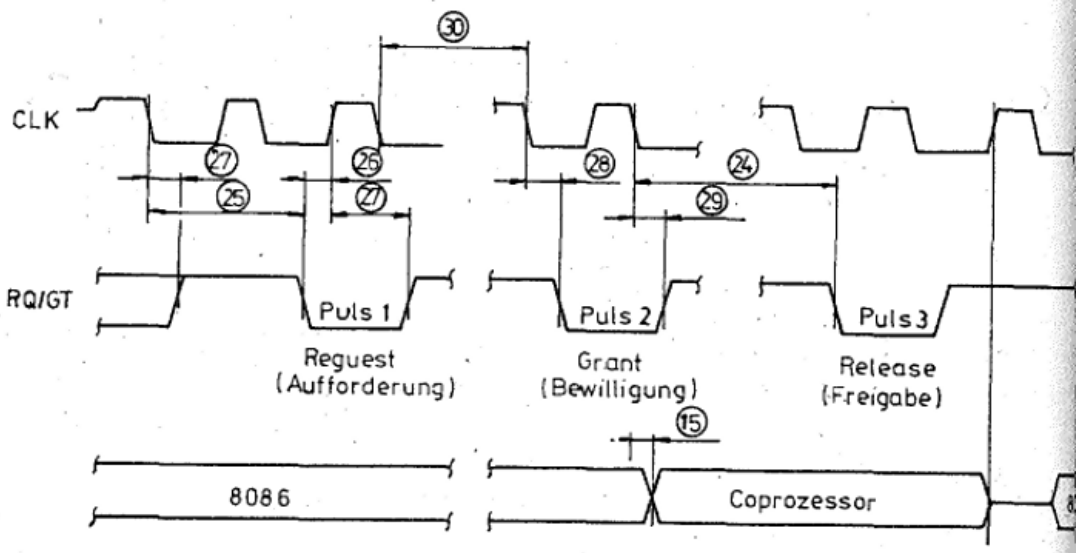
8086 Zeitverhalten im Maximum-Mode Bild 13



Voreinstellzeit für asynchrone Signale Bild 14



Zeitverhalten des /LOCK-Signals Bild 15



Zeitverhalten für REQUEST|GRANT-Folge Bild 16

Dynamische Kennwerte des 8086

Symbol	Parameter	Min	Max	Einheit	Testbedingung
1	Takt-Periode (TP)	200	500	ns	
2	Takt-Anstiegszeit		10	ns	v.1,0 bis 3,5 V
3	Takt-Abfallzeit		10	ns	v.3,5 bis 1,0 V
4	Takt-H-Zeit	$(^1/_{3TP})+2$		ns	
5	Takt-L-Zeit	$(^2/_{3TP})-15$		ns	
6	Adressen-Einschaltzeit	10	110	ns	
7	Status-Einschaltzeit	10	110	ns	
8	Status-Ausschaltzeit	10	130	ns	C_L=20-100pF
9	Daten-Einschaltzeit	10	110	ns	für Ausgänge
10	Daten-Haltezeit	10		ns	
11	Ready-Ausschaltzeit vor T	-8		ns	
12	Ready-aktiv bis Status aus		110	ns	
13	Ready-Haltezeit	30		ns	
14	Ready-Voreinstellzeit	$(^2/_{3TP})-15$		ns	
15	Adreß-Abschaltzeit	10	80	ns	
16	Daten-Voreinstellzeit	30		ns	
17	Daten-Haltezeit	10		ns	
18	RD-Einschaltzeit	10	105	ns	
19	Adreß-Abschaltung zu RD	0		ns	
20	RD-Dauer	2TP - 75		ns	
21	RD-Ausschaltzeit	10	150	ns	
22	RD inaktiv zu nächst.Ad.	TP - 45		ns	
23	Voreinstellzeit für NMI, INTR, /TEST	30		ns	
24	Grant-Release-Abstand	TP		ns	
25	Grant-Request-Abstand	TP		ns	
26	Voreinstellzeit für Request	30		ns	
27	Haltezeit für Request	40		ns	
28	Grant-Einstellzeit	0	85	ns	
29	Grant-Ausschaltzeit	0	85	ns	
30	Request-Grant-Abstand	TP		ns	

Statische Kennwerte des 8086

Symbol	Parameter	Min	Max	Einheit	Testbedingung
V_{IL}	L am Eingang	-0,5	+0,8	V	
V_{IH}	H am Eingang	2,0	V_{CC} +0,5	V	
V_{OL}	L am Ausgang		0,45	V	I_{OL} = 2,0 mA
V_{OH}	H am Ausgang	2,4		V	I_{OH} =-400 µA
I_{CC}	Betriebsstrom		340	mA	T_A = 25 °C
I_{LI}	Eingangsreststrom		± 10	mA	$0V < V_{IN} < V_{CC}$
I_{LO}	Ausgangsreststrom		± 10	mA	$0,45V \leq V_{out} < V_{CC}$
V_{CL}	L für Takt	-0,5	+0,6	V	
V_{CH}	H für Takt	3,9	V_{CC} +1,0	V	
V_{CC}	Betriebsspannung	4,5	5,5	V	$0°C \leq T_A \leq 70°C$
C_{IN}	Eingangskapazität		10	pF	f_c = 1MHz
C_{IO}	Kapazität am Ausgang		20	pF	f_c = 1MHz

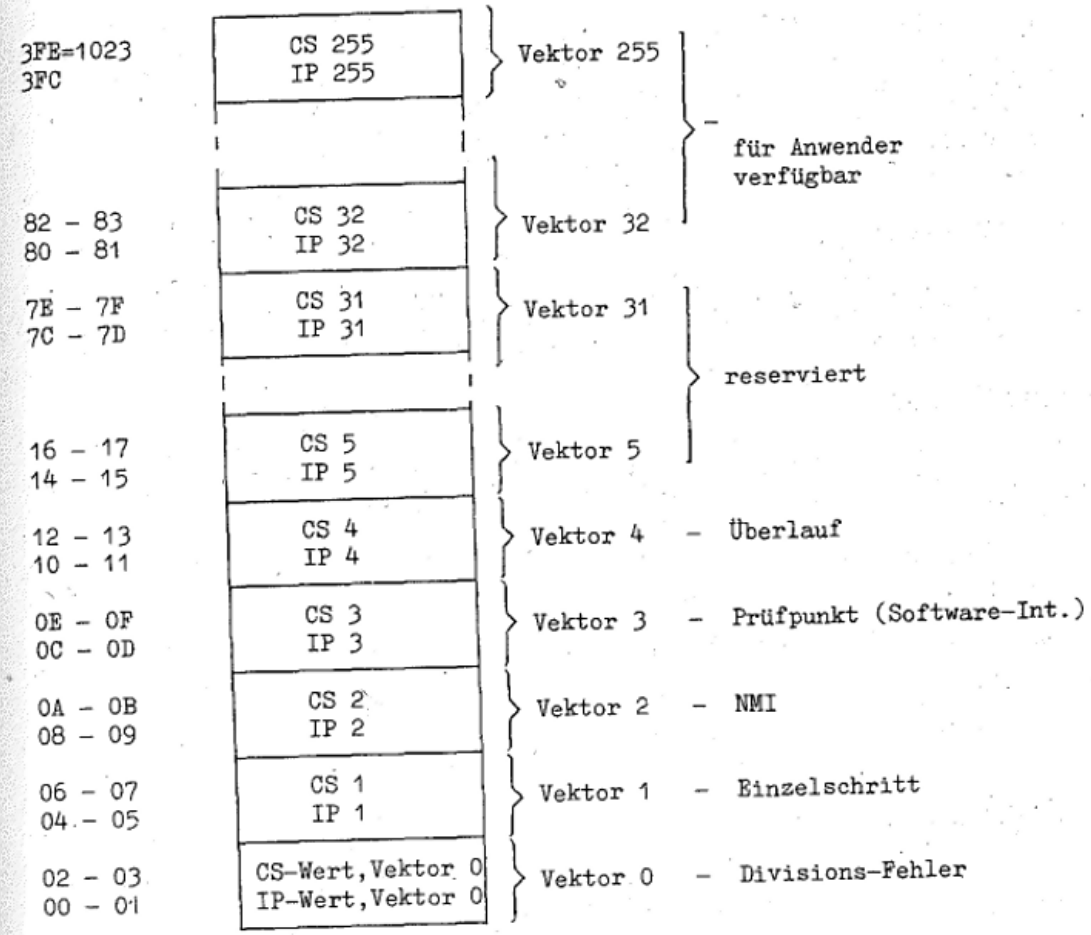
9. Interrupt- und Trapstruktur

Es ist sowohl die Bearbeitung von Interrupts als auch die verschiedener Trapfunktionen möglich.
Die Architektur des 8086 bietet 256 Interruptebenen einschließlich Trapfunktionen und Softwareinterrupts.
Das folgende Bild zeigt die Speicherbelegung mit dem Interruptvektor. Jedes Vektorelement besteht aus 4 Bytes, wobei jeweils 2 für die Segment- und Offsetadresse vorgesehen sind.

Unterbrechungsannahmezeiten

Unterbrechungsklasse	Verarbeitungszeit
Externe maskierbare Unterbrechung	61 Taktzyklen
Nicht maskierbare Unterbrechung (NMI)	50 Taktzyklen
INT-Befehl (mit Vektor)	51 Taktzyklen
INT-Befehl (Typ 3)	52 Taktzyklen
INTO-Befehl	53 Taktzyklen
Einzelschritt	50 Taktzyklen

Tabelle der Unterbrechnungsvektoren



Externe Interrupts können über 2 Eingänge in die CPU gelangen:

- NMI nicht maskierbarer Interrupt (hat höchste Priorität)
- INTR maskierbarer vektorierter Interrupt

Die Reaktion der CPU auf einen Interrupt oder Trap ist gleich:

- Die Inhalte des Befehlszählers IP, des Codesegmentregisters CS und des Flagworts werden in den Stack geladen.
- Das Interruptflag IF und Trapflag TF im Flagwort werden mit 0 geladen. Damit ist der Interrupteingang INTR maskiert (gesperrt).
- IP und CS werden aus dem Interruptvektor neu geladen.
- Mit dem Befehl IRET kann aus der Interruptroutine wieder in das unterbrochene Programm zurückgekehrt werden. IP, CS und das Flagwort werden wieder mit den im Stack abgelegten Werten geladen. Das bedeutet, daß INTR erneut freigegeben ist. (Mit den Befehlen STI : IF = 1, CLI : IF = 0).

Hardware - Interrupts

- Vektorierte Interrupts

Sie werden über den Eingang INTR in die CPU übertragen. Quittiert sie die CPU, so muß im nächsten Schritt von der den Interrupt erzeugenden Peripherie ein 8-Bit-Vektor, der die Interruptebene angibt, über den Datenbus in die CPU übertragen werden. In der CPU wird dieser Vektor mit 4 multipliziert und ergibt die Adresse eines 4 Byte langen Interruptvektors. Für diese Interrupts sind die Interruptebenen 5 - 255 vorgesehen. Die Ebenen 0 - 4 sind Trapfunktionen vorbehalten.

- Nicht maskierbarer Interrupt

Der Eingang NMI kann nicht maskiert (gesperrt) werden. Auch wird in der Interruptsequenz kein Vektor in die CPU übertragen, sondern die CPU generiert intern einen Vektor für die Interruptebene 2.

- RESET-Funktion

Die CPU wird zurückgesetzt und bestimmte Register werden initialisiert:

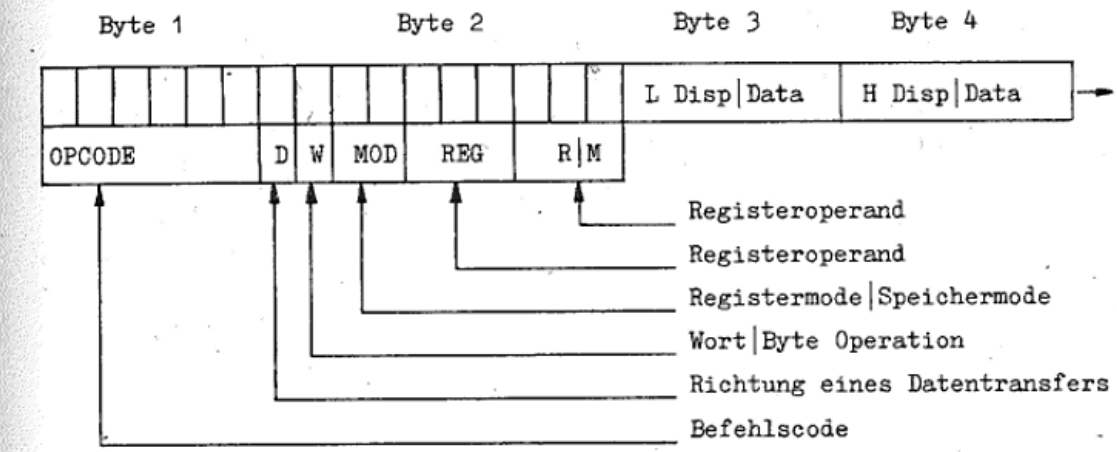
FW (Flagwort)	=	0000H
IP (Befehlszähler)	=	0000H
CS (Code-Segment)	=	FFFFH
DS (Daten-Segment)	=	0000H
SS (Stacke-Segment)	=	0000H
ES (Extra-Segment)	=	0000H

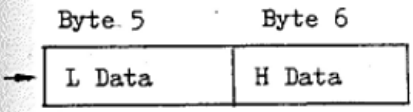
- Trapfunktionen

Beim Auftreten eines Traps generiert die CPU den zugehörigen Vektor.
Der 8086 bietet 5 verschiedene Trapfunktionen:

- DBZ :	Division durch 0	(Vektor 0)
- SS :	Einzelschritt	(Vektor 1)
- NMI :	Nicht maskierbarer Interrupt	(Vektor 2)
- OBII:	Software-Interrupt	(Vektor 3)
- IOO :	Interrupt bei Überlauf (Overflow)	(Vektor 4)

10. Aufbau Befehlscode, Adressierungsarten, Befehlssatz





OPCODE: legt den Befehlstyp fest (z.B. ADD, XOR usw.)

D-Feld: 0 Das Reg.-Feld enthält die Befehlsquelle

1 Das Reg.-Feld enthält das Befehlsziel

S in Verbindung mit W-Feld

0: keine Zeichenerweiterung

1: Zeichenerweiterung von 8 bit auf 16 bit
immediate data, wenn W = 1

V 0: Shift-Rotate - Zähler 1

1: Shift-Rotate - Zähler ist im CL Register enthalten

Z Vergleich des Zero-Flags mit den Repeat- und Loop-Befehlen

0: Z - Flag = 0

1: Z - Flag = 1

W-Feld: 0 Befehl arbeitet mit Bytedaten

1 Befehl arbeitet mit Wortdaten

MOD 0 0 Speichermode, keine Verschiebung *

0 1 Speichermode, 8-bit-Verschiebung

1 0 Speichermode, 16-bit-Verschiebung

1 1 Registermode

* außer, wenn R|M = 110 ↷ 16-bit-Verschiebung

REG – definiert Register, welches einem Befehlsoperanden entspricht

REG	W = 0	W = 1
000	AL	AX
001	CL	CX
010	DL	DX
011	BL	BX
100	AH	SP
101	Ch	PP
110	DH	SI
111	BH	DI

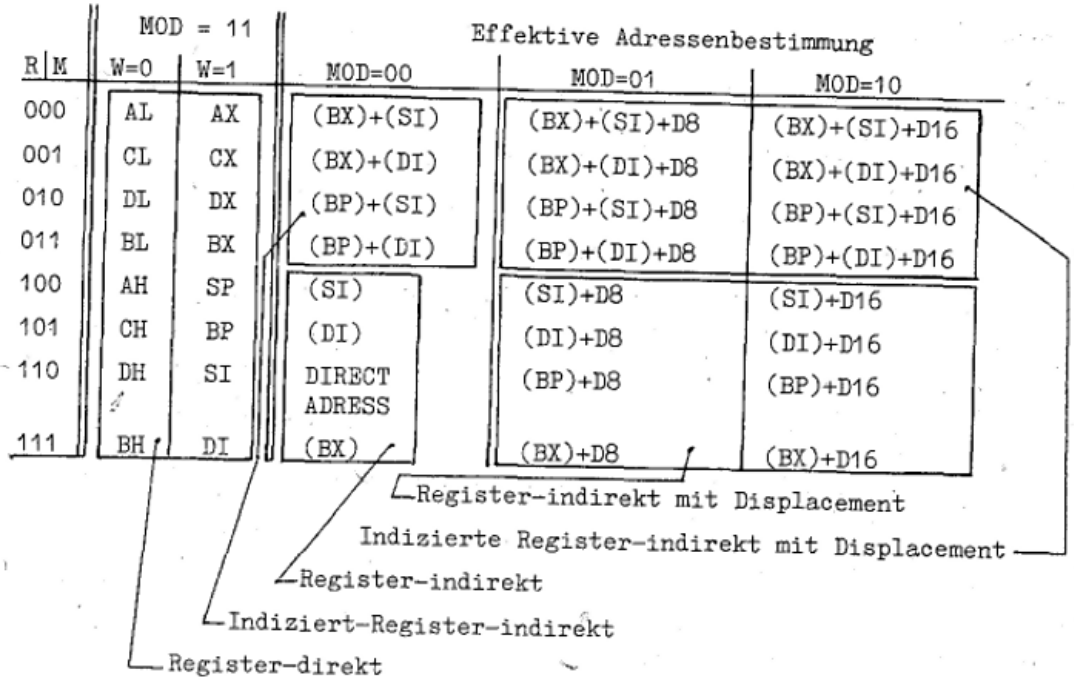
– kann zur Erweiterung des Opcode und zur Bestimmung des Operationstypes benutzt werden.

R|M Register|Memory – Feld

– in Verbindung mit MOD-Feld zu betrachten

– Registermode: ↷ R|M bestimmt 2. Registeroperand

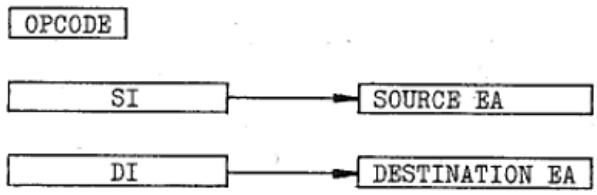
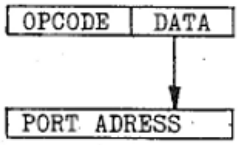
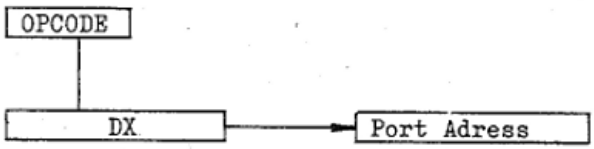
– Speichermode: ↷ R|M bestimmt die effektive Adresse des Speicheroperanden



Byte 3-6 enthalten den Verschiebungswert des Speicheroperanden und/oder den aktuellen Wert eines unmittelbaren konstanten Operanden

Adressierungsarten

Art	Befehl	Register	Speicher
Register Operands	Instruktion	EA	
Immediate Operands	Instruktion / EA		
Direct Adressing	OPCODE | MOD R | M / Displacement		EA
Register Indirect Adressing	OPCODE | MOD R | M	BX | BP | SI | DI	EA
Based Adressing	OPCODE | MOD R | M / Displacement	BX | BP	EA
Indexed Adressing	OPCODE | MOD R | M / Displacement	SI | DI	EA
Based Indexed Adressing	OPCODE | MOD R | M / Displacement	BX | BP / SI | DI	EA

Art	Befehl Register
String Adressing	
I|O Port Adressing - Direct Port Adressing	
- Indirect Port Adressing	

Der Befehlssatz läßt sich in 6 funktionelle Gruppen aufteilen:

1. Datentransfers
2. Arithmetische Befehle
3. Logische Befehle
4. Stringmanipulation
5. Programmsteuerbefehle
6. Prozessorsteuerbefehle

Bearbeitet werden können:

- Bits
- BCD-Zahlen
- ASCII-Zeichen
- Bytes
- Worte

Datentransfers

Diese Gruppe läßt sich weiter unterteilen in:

- allgemeine Transfers
- Akkumulator-spezifische Transfers
- Adress-Objekt Transfers
- Flagwort Transfers

1. Allgemeine Transfers

Mit diesen Befehlen (Ausnahme XCHG) kann auf den Inhalt von Segmentregistern zugegriffen werden.

- MOV führt einen Byte- oder Worttransfer aus.
- PUSH) dienen der Bearbeitung des Stacks.
- POP)
- XCHG vertauscht einen Quelloperanden mit einem Zieloperanden.

2. Akkumulator-spezifische Transfers

- IN lädt ein Byte oder Wort von einem I|O-Port in den Akkumulator.
- OUT transferiert ein Byte oder Wort vom Akkumulator zu einem I|O-Port.
- XLAT führt eine Tabellenoperation durch. Der Inhalt des AL-Registers wird als Index für eine Tabelle verwertet, die durch BX adressiert wird. Der adressierte Operand wird nach AL geladen.

3. Adress-Objekt-Transfers

- LEA transferiert die Quelladresse eines Quelloperanden zu einem Zieloperanden. Der Quelloperand muß dabei ein Speicheroperand und der Zieloperand ein 16-Bit-Register sein (kein Segmentregister).
- LDS transferiert ein "Pointer-Objekt", das aus einer Offset- und Segmentadresse besteht, aus dem Speicher in ein Registerpaar. Die Segmentadresse wird in das DS-Register und die Offsetadresse in ein zu definierendes 16-Bit-Register geladen.

4. Flagwort Transfers

- LAHF lädt das niederwertige Byte des Flagwortes in das AH-Register.
- SAHF führt die umgekehrte Operation wie LAHF durch.
- PUSHF transferiert das Flagwort in den Stack.
- POPF holt das Flagwort aus dem Stack.

Arithmetische Befehle

- Addition
- Subtraktion
- Multiplikation
- Division

Es können 8- und 16-Bit-Operanden mit und ohne Vorzeichen verarbeitet werden. Um gepackte oder ungepackte BCD-Zahlen verarbeiten zu können, wurden Korrekturbefehle für arithmetische Operationen inplementiert (z.B. AAA, AAD, AAM, AAS, DAA, DAS).

Die Addition und Subtraktion erfolgt wie bei 8-Bit-Prozessoren.

1. Multiplikation

- 8-Bit Multiplikation: Der Akkumulator (AH,AL) enthält das 16-Bit Ergebnis.
- 16-Bit Multiplikation: AX und DX enthalten das 32-Bit Ergebnis.

2. Division

- 16-Bit|8-Bit: AX enthält den 16-Bit-Dividend.
  8-Bit-Divisor wird aus dem Speicher geladen.
  Nach der Division enthält AL den 8-Bit-Quotienten (ganze Zahl) und AH den Divisionsrest.
- 32-Bit|16-Bit: AX, DX enthalten den 32-Bit-Dividend.
  16-Bit-Divisor wird aus dem Speicher geladen.
  Nach der Division enthält AX den 16-Bit-Quotienten und DX den Divisionswert.

Logische Befehle

Einoperandenbefehle

- NOT invertiert einen Operanden
- Schiebebefehle: z.B. SHL, SAL, SHR, SAR
  Das CL-Register enthält die Zahl der Schiebezyklen.
- Rotierbefehle: z.B. ROL, ROR, RCL, RCR
  Im Gegensatz zu Schiebebefehlen rotieren die Operanden.

Stringmanipulation

Alle Stringbefehle benutzen das SI-Register zur Adressierung des Quelloperanden, während das DI-Register auf den Zieloperanden zeigt. Im CX-Register steht der Wiederholungsprefix.

- MOVSB (MOVSW) transferiert ein Byte oder Wort im Speicher.
- CMPSB (CMPSW) subtrahiert den Zieloperanden vom Quelloperanden. Das Ergebnis beeinflußt die Flags.
  Beide Operanden bleiben unverändert.
- SCASB (SCASW) subtrahiert den Zieloperanden vom Inhalt des Akkumulators und beeinflußt das Flagwort. Beide Operanden bleiben unverändert.
- LODSB (LODSW) transferiert einen Operanden in den Akkumulator.
- STOSB (STOSW) transferiert einen Operanden vom Akkumulator in den Speicher.

Programmsteuerbefehle

Es gibt 4 Gruppen

- Call-Befehle, Sprung-Befehle, Return-Befehle
- bedingungsabhängige Sprünge
- Wiederholungsbefehle
- Software-Interrupts und Return-Befehle

Bis auf die Wiederholungsbefehle wird die Wirkungsweise dieser Steuerbefehle als bekannt vorausgesetzt.

Wiederholungsbefehle

- LOOP verzweigt zum Schleifenanfang, solange der Inhalt von CX nicht Null ist.
- LOOPZ wie LOOP, und das Z-Flag gesetzt ist.
- LOOPNZ wie LOOP, und das Z-Flag nicht gesetzt ist.
- JCXZ verzweigt zum Schleifenanfang, wenn der Inhalt des CX-Registers Null ist.

Prozessorsteuerbefehle

Flag Operationen:

Mit den folgenden Befehlen können Flagbits manipuliert werden.

- CMC invertiert das C-Flag
- STC setzt das C-Flag
- CLC setzt das C-Flag zurück
- STD setzt das D-Flag
- CLD setzt das D-Flag zurück
- STI setzt das I-Flag
- CLI setzt das I-Flag zurück

Prozessor-Halt: Mit dem HLT-Befehl geht der Prozessor in den Halt-Zustand, der nur durch Interrupt oder Reset aufgehoben wird.

Prozessor-Escape: Der ESC-Befehl dient dazu, daß ein Hilfs-Prozessor seine Befehle aus dem Befehlsstrom des 8086 entnehmen kann.

Prozessor-Wait: Der WAIT-Befehl hält den Prozessor solange im Ruhestand, wie /TEST inaktiv ist.

Bus Lock: Mit einem Einbyte-Prefix vor jedem Befehl kann das Lock-Signal des Prozessors für die Dauer des Befehls aktiviert werden.

Befehlsformate

Begriff	benutzt in	Erklärung
Destination	data transfer bit manipulation	Ein Datenregister oder Datenspeicherplatz operiert mit diesem Befehl und empfängt das Ergebnis der Operation
source	data transfer arithmetic bit manipulation	Ein Register, Speicherplatz oder unmittelbarer Wert wird in der Operation benötigt, aber wird durch den Befehl nicht verändert
source-table	XLAT	Name der Speicherübersetzungstabelle, adressiert durch Register BX
target (Ziel)	JMP, CALL	- Marke mit direkter Steuerung - Register oder Speicherplatz (dessen Inhalt die Adresse des Speicherplatzes ist) mit indirekter Steuerung
short label	cond.transfer (abhängig) iteration control (Wiederholg.)	Marke mit abhängiger Steuerung Sie liegt in dem Bereich -128 bis +128 Bytes des ersten Byte des nächsten Befehles
accumulator	IN, OUT	Register AX für Worttransport, AL für Bytes
port	IN, OUT	- I|O Portnr., die durch den unmittelbaren Wert von 0-255 gekennzeichnet ist - Register DX, enthält Portnr. im Bereich 0-64 K
source-string	string ops.	Name der Kette im Speicher, adressiert durch Reg. SI; wird benutzt zur Kennzeichnung von Wort- oder Byte-Ketten und spezif. Segmentüberläufe
dest-string	string ops.	Name der Kette im Speicher, adressiert durch Reg. DI, nur zur Identifizierung von Wort- oder Byteketten
count	shifts, roates	Bitanzahl bei Verschiebe- und Rotationsbefehlen, steht im Register CL (enthält Wert im Bereich 0-255)
interrupt-type	INT	unmittelbarer Wert 0-255 zur Identifizierung Interruptzeiger

optional-popvalue	RET	Anzahl der Byte (0-64 K, geordnet nach geraden Nr.), die vom Stack abgelegt werden
external-opcode	ESC	unmittelbarer Wert (0-63), dieser wird dekodiert im Befehl bei Nutzung durch einen externen Prozessor

Operanden - Typen

1	(keine Operanden)	keine Operanden werden eingeschrieben
2	register	8- oder 16-bit Register
3	reg 16	16-bit Register
4	seg - reg	Segmentregister
5	accumulator	Register AX oder AL
6	immediate	Konstante in den Bereich 0 - FFFFH
7	immed 8	Konstante in den Bereich 0 - FFH
8	memory	8- oder 16-bit Speicherplatz
9	mem 8	8-bit Speicherplatz
10	mem 16	16-bit Speicherplatz
11	source-table	Name der 256 - Byte Übersetzungstabelle
12	source-string	Name der Zeichenkette (adressiert durch das Register SI)
13	dest-string	Name der Zeichenkette (adressiert durch das Register DI)
14	DX	Register DX
15	short-label	Marke im Bereich des Befehlsendes (-128 bis +127 Bytes)
16	near-label	Marke im Current-Code-Segment
17	far-label	Marke in einem anderen Code-Segment
18	near-proc	Prozedure Current-Code-Segment
19	far-proc	Prozedure für anderes Code-Segment
20	memptr. 16	Wort, bestehend aus dem Offset in einem Current-Code-Segment
21	memptr. 32	Doppelwort, bestehend aus dem Offset und der Segment-Base-Adresse in einem anderen Code-Segment
22	regptr. 16	16-bit Hauptregister, bestehend aus dem Offset in dem Current-Code-Segment
23	repeat	Kettenbefehl zur Wiederholung Prefix

6. Zusammenstellung der Befehlsgruppen

6.1. Klassifizierung nach Befehlsgruppen

1. Data Transfer Instructions

IN	LES	POPF	XCHG
LAHF	MOV	PUSH	XLAT
LDS	OUT	PUSHF	
LEA	POP	SAHF	

2. Arithmetik-Befehle

AAA	ADD	DAS	INC
AAD	CBW	DEC	MUL
AAM	CMP	DIV	NEG
AAS	CWD	IDIV	SBB
ADC	DAA	IMUL	SUB

3. Bit-Befehle

AND	RCL	ROR	SHR
NOT	RCR	SAR	TEST
OR	ROL	SHL|SAL	XOR

4. Kettenbefehle

CMPS	MOVSB	REPNE|RERNZ
LODS	REP	SCAS
MOVS	REPE|REPZ	STOS

5. Programmsteuerbefehle

CALL	JBE|JNA	JMP	JP|JPE
INT	JC	JNC	JS
INTO	JCXZ	JNE|JNZ	LOOP
IRET	JE|JZ	JNO	LOOPE|LOOPZ
JA|JNBE	JG|JNLE	JNP|JPO	LOOPNE|LOOPNZ
JAE|JNB	JGE|JNL	JNS	RET
JB|JNAE	JL|JNGE	JO	JLE|JNG

6. CPU-Steuerbefehle

CLC	CMC	LOCK	STD
CLD	ESC	STC	WAIT
CLI	HLT	STI	

7. Sonstige Befehle

INTR	SEGMENT
NMI	SINGLE STEP
NOP	

11. Speicherstruktur

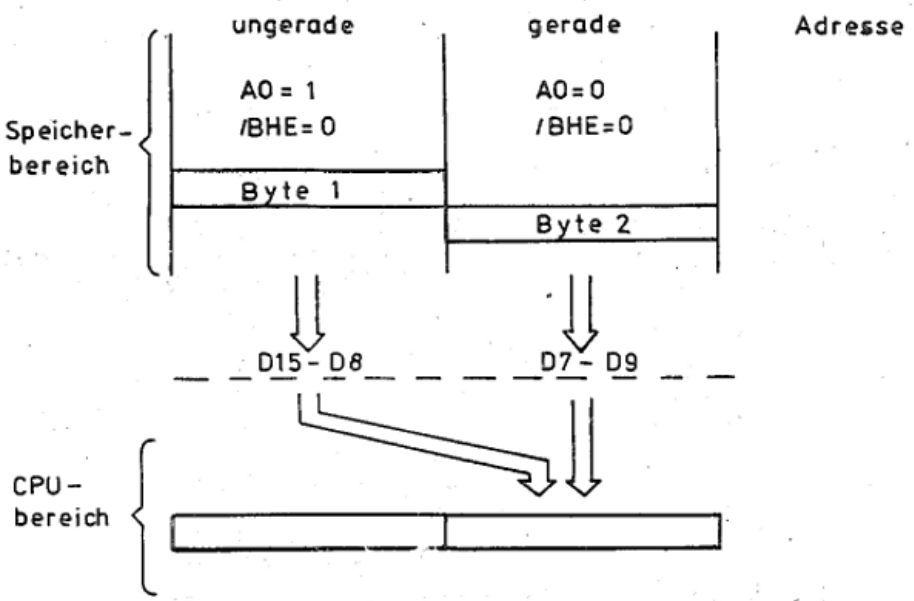
Beim 8086 können Wortoperanden und Befehle auf geraden oder ungeraden Adressen abgelegt werden.

- Datenzugriffe

Die Bytes eines Wortoperanden werden so im Speicher abgelegt, daß das höherwertige Byte auf der höheren Adresse liegt.
Physikalisch besteht er aus 2 Hälften, von denen eine Bytes mit gerader, die andere Bytes mit ungerader Adresse enthält.
Bytes mit gerader Adresse werden auf der Bushälfte D7 - D0 transferiert,
Bytes mit ungerader Adresse auf der Bushälfte D15 - D8.
Die BUS-Interface-Einheit BIU steuert mit dem Adressbit A0 und der Steuerleitung BHE die Byte- oder Wortzugriffe auf den Speicher.

- Bytezugriff

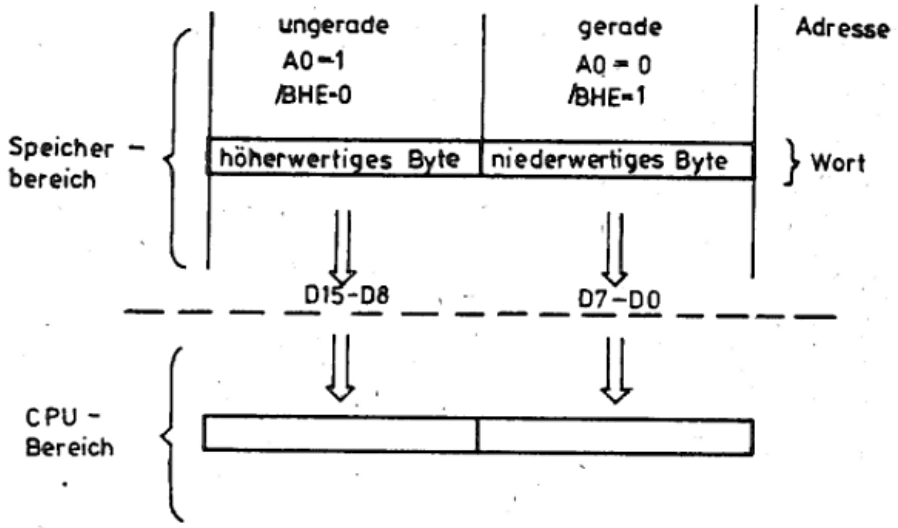
Jeder Byteoperand wird in der CPU auf der niederwertigen Bushälfte transferiert.



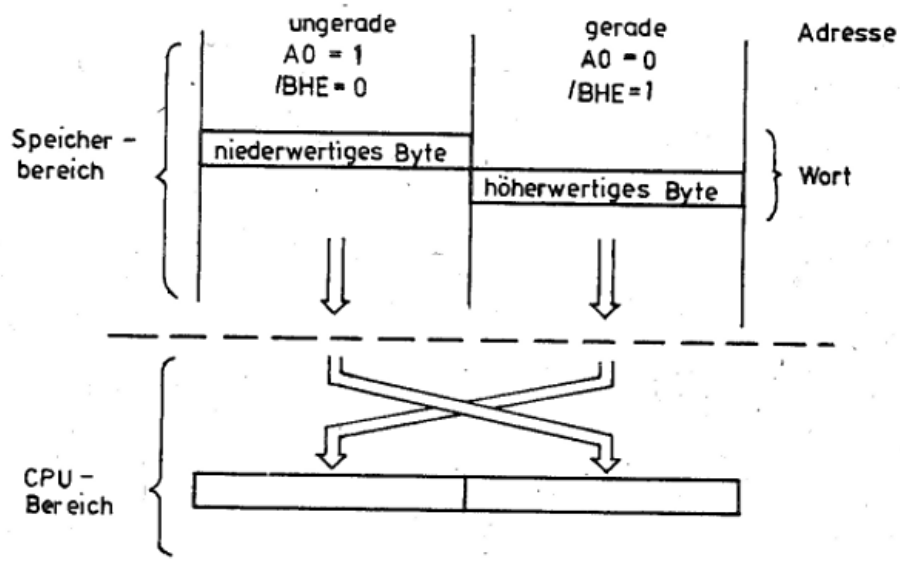
- Wortzugriff

Wortoperanden können sowohl auf geraden als auch auf ungeraden Adressen liegen.

Wort auf gerader Adresse:
Dieser Wortzugriff kann in einem Speicherzyklus erfolgen (A0 = 0, /BHE = 0). Beide Bytes können unmittelbar über die jeweilige Bushälfte transferiert werden.



Wort auf ungerader Adresse:
Hier liegt das niederwertige Byte auf einer ungeraden Adresse. Zum Transfer dieses Wortes sind zwei Speicherzyklen nötig, da A1, A0 und /BHE umgeschaltet werden müssen.



- Codezugriffe

Sie werden stets wortweise durchgeführt. So sollte der 1. Befehl eines Programmes auf einer geraden Adresse liegen, so daß folgende Wortzugriffe in einem Speicherzyklus erfolgen können. Sprungbefehle können dies jedoch wieder ändern.

12. Ein-|Ausgabestruktur

Es gibt 2 Betriebsarten der E|A-Organisation:

- Ein-|Ausgabe mit speziellen Befehlen
- Memory Mapped I|O

Ein-|Ausgabe mit speziellen Befehlen

Es steht ein Adressraum von 64 K zur Verfügung. Die Adressierung geschieht ohne Segmentregister, so daß die höherwertigen 4 Adressbits der 20-Bit-Adresse bei Ein-|Ausgabe immer "0" sind.
Zur Programmierung dieser Art der Ein-|Ausgabe gibt es die Befehle IN und OUT.

Die Portadresse kann unmittelbar im Befehl, oder im DX-Register stehen.

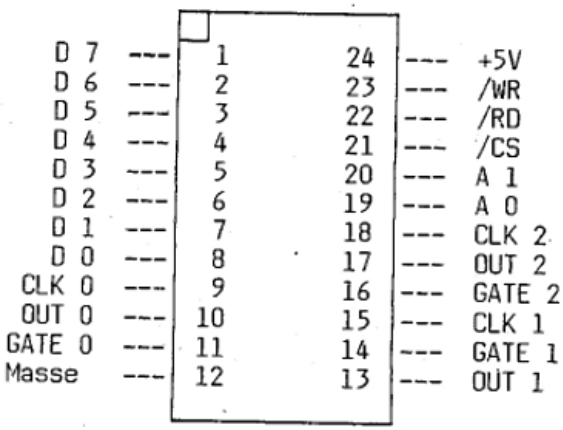
Memory Mapped I|O

Mit dieser E|A-Organisation kann die Peripherie wie ein Speicher adressiert werden und es können alle Befehle, die zur Manipulation und Adressierung von Speicheroperanden vorhanden sind, verwendet werden.
Es sind somit arithmetische und logische Operanden mit Port-Operanden ebenso möglich, wie Transfers zwischen einem Register und E|A-Port.
Ein Nachteil dieses Verfahrens ist die Verlangsamung der Datentransfers. IN und OUT Befehle benötigen nur 10 Taktzyklen, während MOV-Befehle wesentlich mehr benötigen.

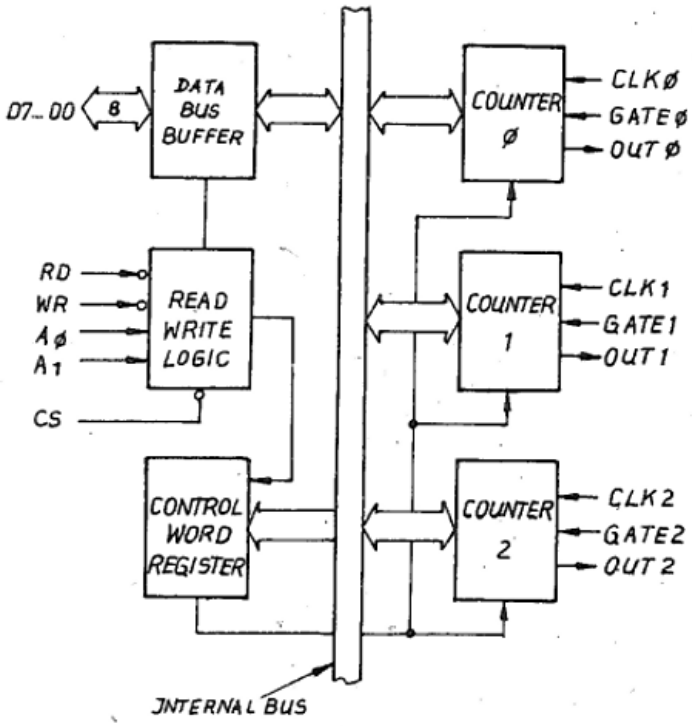
Programmierbarer Interval-Timer KR 580 WI 53 (8253)

Er dient der System-Zeit-Verwaltung.
Er besitzt 3 unabhängige 16-Bit-Zähler, jeder mit einer Zählrate bis zu 2 MHz. Alle 6 Operations-Codes sind Softwareprogrammierbar. Gezählt wird binär oder BCD. Er hat eine + 5 V Betriebsspannung. Das Gehäuse hat 24 Pins.

8253
programmierbarer Interval-Timer



PIN-Belegung



Blockschaltbild

DATA BUS BUFFER

Dieser 3-state, bidirektionale 8-Bit Buffer, dient als Schnittstelle zwischen dem 8253 und dem System-Daten-Bus. Daten werden über den Buffer gesendet und empfangen, entsprechend der INPUT oder OUTPUT Instruktion der CPU.
Der DATA BUS BUFFER hat 3 Basisfunktionen:

- Programmierung der 6 MODEs
- Laden der Zählregister
- Lesen der Zählwerte

READ|WRITE LOGIC

Sie nimmt INPUTS vom Systembus an und generiert als Folge davon Kontrollsignale für Schutzeinrichtungen. Das wird erlaubt oder nicht erlaubt durch CS.

/RD

"LOW" an diesem Eingang informiert den 8253, daß die CPU Daten, entsprechend dem Wert eines Zählers, eingibt.

/WR

"LOW" an diesem Eingang informiert den 8253, daß die CPU Daten, entsprechend der MODE-Information ausgibt, oder die Zähler lädt.

A0, A1

Diese Eingänge gehören in der Regel zum Adressbus.
Ihre Funktion ist hier einen der 3 Zähler auszuwählen, funktionsbereit zu machen, sowie das Kontroll-Wort-Register für die MODE-Auswahl zu adressieren.

/CS

"LOW" an diesem Eingang gibt den 8253 frei. Nur dann ist Schreiben oder Lesen möglich.
Der /CS-Eingang hat keine Wirkung auf die aktuelle Operation der Zähler.

/CS	/RD	/WR	A1	A0	
0	1	0	0	0	Laden Zähler Nr. 0
0	1	0	0	1	Laden Zähler Nr. 1
0	1	0	1	0	Laden Zähler Nr. 2
0	1	0	1	1	Schreiben MODE Wort
0	0	1	0	0	Lesen Zähler Nr. 0
0	0	1	0	1	Lesen Zähler Nr. 1
0	0	1	1	0	Lesen Zähler Nr. 2
0	0	1	1	1	Keine Operation, 3-state
1	X	X	X	X	Nicht gestattet, 3-state
0	1	1	X	X	Keine Operation, 3-state

Control Word Register

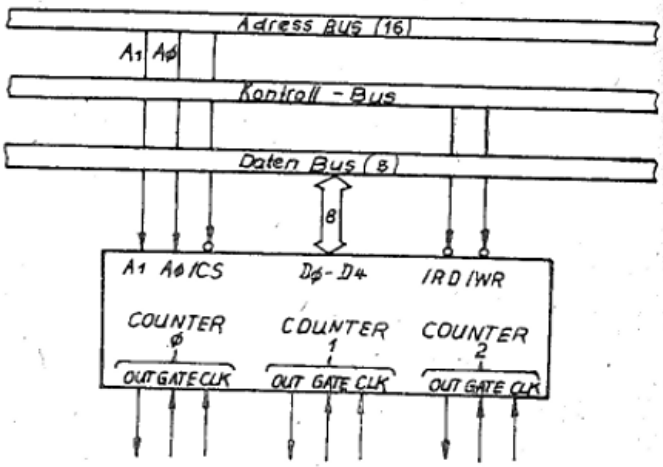
Es ist ausgewählt, wenn A0 und A1 "HIGH" sind. Damit können Informationen vom Daten-Bus-Buffer übernommen und in ein Register eingeschrieben werden. Diese Information kontrolliert den Operations-Mode jedes Zählers, wählt aus, ob binär oder BCD gezählt wird und fragt den Inhalt des Zählregisters ab. In das Kontroll-Wort-Register kann nur eingeschrieben werden!

Counter # 0, # 1, # 2

Diese 3 Funktionsblocks sind in ihrer Arbeitsweise identisch, wenn nur ein Zähler beschrieben werden soll. Jeder Zähler besteht aus einem 16-Bit voreinstellbaren Rückwärtszähler. Er kann entweder binär oder BCD arbeiten. Sein Eingang, Gate und Ausgang kann durch den im Kontroll-Wort-Register gespeicherten MODE ausgewählt werden.
Die Zähler sind völlig unabhängig voneinander.

System Interface

Es behandelt mittels der System-Software-Ordnung die peripheren I|O-Ports des 8253; drei sind Zähler und der vierte ist ein Kontroll-Register für die MODE-Programmierung.
Die Selekt-Eingänge A0,A1 sind verbunden mit den A0,A1 Adressbus-Signalen von der CPU.
/CS kann direkt vom Adressbus unter Nutzung einer linearen Auswahlmethode abgeleitet werden.



Programmierung des 8253 (Software)

Alle Funktionen werden über die System-Software programmiert. Ein Satz von Kontroll-Worten muß von der CPU ausgesendet werden (einfache I|O-Operationen), um jeden Zähler mit dem gewünschten MODE und den notwendigen Informationen zu laden.

Control Word Format (Steuerwort)

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	RL1	RL0	M2	M1	M0	BCD

SC1	SC0	
0	0	Zähler 0
0	1	Zähler 1
1	0	Zähler 2
1	1	unzulässig

SC - Select Counter

RL1	RL0	
0	0	Zähler Verriegelung (Zählwert 16 Bit, wird zwischengespeichert)
1	0	Lesen|Laden höchstes Byte
0	1	Lesen|Laden niederstes Byte
1	1	Lesen|Laden niederstes zuerst, dann höchstes Byte

RL - Read|Load

M2	M1	M0		
0	0	0	MODE 0	
0	0	1	MODE 1	
X	1	0	MODE 2	
X	1	1	MODE 3	
1	0	0	MODE 4	) (wenig genutzt)
1	0	1	MODE 5	)

M - MODE

BCD	
0	Binär Zähler, 16 Bit
1	Binär Kodierter Dezimal Zähler (4 Dekaden BCD-Zähler)

MODE Funktionen

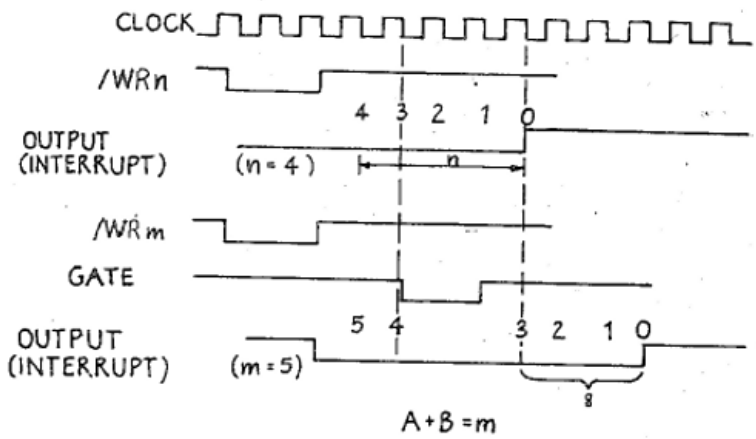
MODE 0 : Interrupt bei Null-Durchgang

Der Ausgang wird nach der MODE-Setz-Operation anfänglich L sein. Nach dem Laden des Zählwerkes in das ausgewählte Zähl-Register bleibt der Ausgang L und der Zähler kann zählen.
Wenn der 0-Durchgang erreicht ist, geht der Ausgang auf H und bleibt so, bis das ausgewählte Zähl-Register erneut mit dem MODE, oder einem neuen Zählwert geladen ist.

Erneutes Laden eines Zähl-Registers während des Zählvorganges wie folgt:

(1) Laden des ersten Byte stoppt die laufende Zählung.
(2) Laden des zweiten Byte startet das neue Zählen

MODE 0

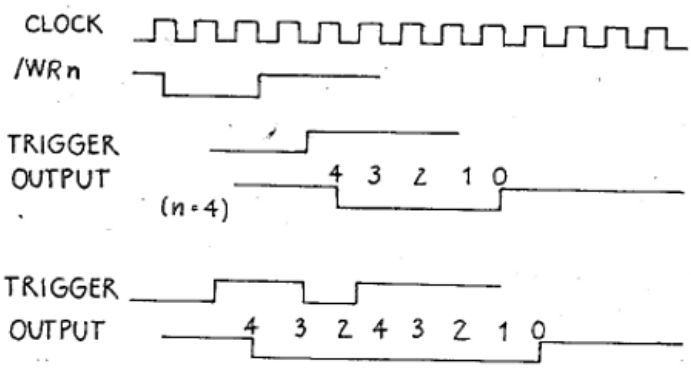


MODE 1 : Programmierbares einmaliges Zählen

Der Ausgang geht auf L, wenn dem Zählen die steigende Flanke des Gate-Einganges folgt.

Der Ausgang wird bei 0-Durchgang auf H gehen. Wenn ein neuer Zählwert geladen wird - während der Ausgang L ist - wird die Dauer des einmaligen Zählens bis zum nächsten Trigger nicht beeinflußt.
Der laufende Zählvorgang kann jederzeit gelesen werden, ohne daß das einmalige Zählen beeinflußt wird.
Das einmalige Zählen ist retriggerbar. Der Ausgang bleibt nach jeder steigenden Flanke des Gate-Einganges auf L.

MODE 1

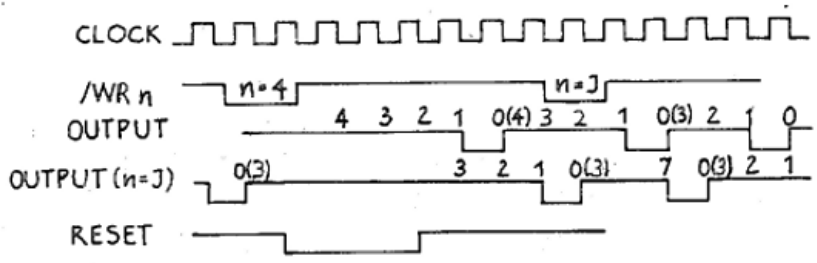


MODE 2 : Programmierbarer Taktgenerator

Der Ausgang bleibt für eine Taktperiode L, danach "n" Impulse bis zum nächsten L-Ausgang.
Ein neuer Wert beeinflußt nicht den momentanen Zählvorgang.
Ist der Gate-Eingang L, wird er auf H gebracht. Der Wechsel von L → H startet den Zähler. Über den Gate-Eingang erfolgt die Synchronisation des Zählers.

Der Zählerausgang bleibt auf H nach der MODE-Einstellung, bis der Zählwert geladen ist.

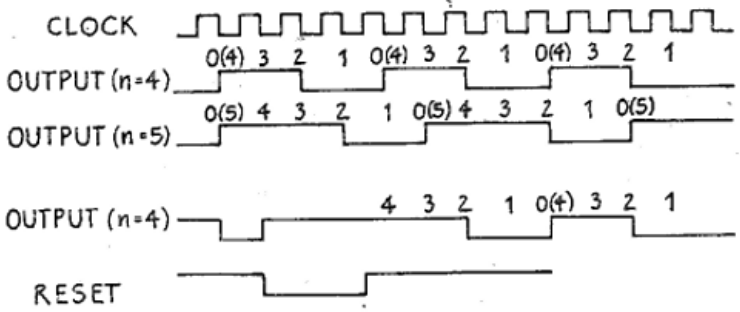
MODE 2



MODE 3 : Mäanderförmiges Ausgangssignal

Ähnlich MODE 2, außer das der Ausgang H bleibt, bis eine Hälfte des Zählwertes ergänzt wurde (geradzahlige Werte) und wird L für die andere Hälfte des Zählwertes.
Ist der Zählwert ungerade, wird der Ausgang H für (N+1)|2 Zählimpulse und L für (N-1)|2 Zählimpulse.
Neue Werte werden erst nach "two count" wirksam.

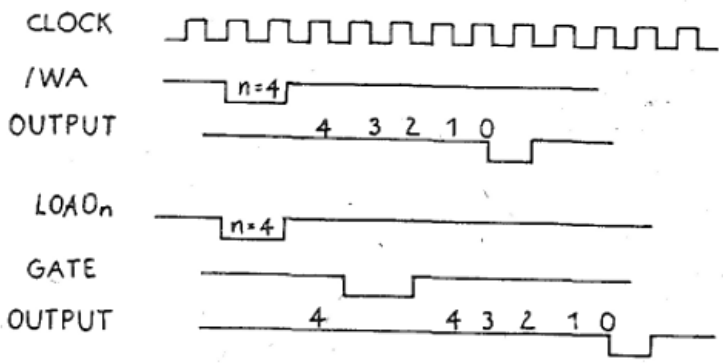
MODE 3



MODE 4 : Softwaregetriggert

Nachdem der MODE geladen ist, geht der Ausgang auf H. Ist der Zählwert geladen, beginnt das Zählen.
Bei 0-Durchgang geht der Ausgang für eine Eingangsimpuls-Periode auf L, um danach wieder auf H zu gehen.

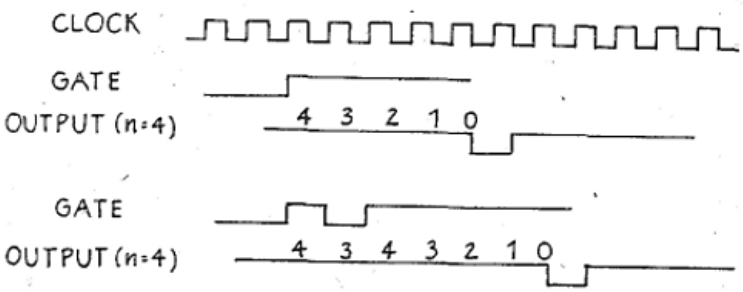
MODE 4



MODE 5 : Hardwaregetriggert

Der Zählvorgang beginnt mit der steigenden Flanke am Gateeingang.
Der Zähler ist retriggerbar.
Der Ausgang geht nicht eher auf L, bis der Zähler voll ist nach der steigenden Flanke eines Zählers.

MODE 5



Gate-Pin-Steuerung

Signal-status / MODE	L|Übergang auf L	Steigende Flanke	H
0	Zähler gesperrt	-	Zähler freigegeben
1	-	Zähler wird gestartet, Ausgang geht mit nächstem Takt → L	-
2	Zähler gesperrt, Ausgang geht auf H.	Zähler wird gestartet	Zähler freigegeben
3	siehe 2.	siehe 2	siehe 2
4	Zähler gesperrt	-	Zähler freigegeben
5	-	Zähler wird gestartet	-

		A1	A0
	MODE Kontroll-Wort Zähler 0	1	1
	MODE Kontroll-Wort Zähler 1	1	1
	MODE Kontroll-Wort Zähler 2	1	1
LSB	Zähl-Register Byte Zähler 1	0	1
MSB	Zähl-Register Byte Zähler 1	0	1
LSB	Zähl-Register Byte Zähler 2	1	0
MSB	Zähl-Register Byte Zähler 2	1	0
LSB	Zähl-Register Byte Zähler 0	0	0
MSB	Zähl-Register Byte Zähler 0	0	0

Wechselndes Programmierungs Format

Schreib-Operation

Das Ausschreiben des MODE-Kontrollwortes kann in beliebiger Reihenfolge geschehen, z.B.: 0,2,1 oder 2,0,1 usw.
Das Laden des Zählregisters mit dem aktuellen Zählwert muß genau in der Reihenfolge geschehen, wie es im MODE-Kontrollwort programmiert ist (RL0, RL1).
Ferner muß das angesteuerte Zählregister beim Laden mit genau der Byteanzahl geladen werden, wie im MODE-Kontrollwort programmiert (RL0, RL1).
Das Byte oder die 2 Byte, die in das Zählregister zu Laden sind, müssen nicht dem zugehörigen MODE-Kontrollwort folgen.
Alle Zähler sind Rückwärtszähler, d.h., der in das Zählregister geladene Wert wird mit "decrement" vermindert.

Lese-Operation

Der Wert des Zählers kann durch Anwendung der einfachen I|O Lese-Operationen gelesen werden.
Unter Kontrolle der Select-Eingänge A0, A1 kann der Zähler ausgewählt werden der liest.
(Achtung: Nichtlese-Operation durch MODE-Register wenn A0, A1 = 11).

Die einzige Forderung bei dieser Methode ist, daß, um ein stabiles Lesen des Zählwertes zu sichern, die aktuelle Operation für den gewählten Zähler unbedingt gesperrt werden muß, entweder durch ansteuern des Gate-Einganges oder durch externe Logik die den Takteingang sperrt.
Der Inhalt des gewählten Zählers wird wie folgt gelesen:

Das erste I|O-Lesen enthält das niederwertige Byte (LSB).
Das zweite I|O-Lesen enthält das höherwertige Byte (MSB).

Infolge der internen Logik des 8253 muß stets der gesamte Lesevorgang abgeschlossen werden. Sind 2 zu lesende Byte programmiert, so müssen auch 2 Byte gelesen werden, bevor ein WR-Lade-Kommando an den gleichen Zähler gesendet werden kann.

Lese-Operationen

A1	A0	RD	
0	0	0	Lesen Zähler Nr. 0
0	1	0	Lesen Zähler Nr. 1
1	0	0	Lesen Zähler Nr. 2
1	1	0	nicht gestattet

MODE-Register für den verriegelten Zählwert

A0,A1 = 11

D7	D6	D5	D4	D3	D2	D1	D0
SC1	SC0	0	0	X	X	X	X

SC1, SC0 - spezifiziert den zu verriegelnden Zähler

D5, D4 - 00 bezeichnet den Zähler-Verriegelungsvorgang

X - nicht gestattet

D.C. CHARACTERISTICS (T_A = 0°C to 70°C; V_{CC} = 5V ± 5 %)

SYMBOL	PARAMETER	MIN.	MAX.	UNITS	TEST CONDITIONS
V_{IL}	Input Low Voltage	-0,5	0,8	V	
V_{IH}	Input High Voltage	2,2	V_{CC}+5V	V	
V_{OL}	Output Low Voltage		0,45	V	Note 1
V_{OH}	Output High Voltage	2,4		V	Note 2
I_{IL}	Input Load Current		± 10	µA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		± 10	µA	V_{OUT} = V_{CC} to 0V
I_{CC}	V_{CC} Supply Current		140	mA	

Note 1: 8253, I_{OL} = 1,6 mA; 8253.5, I_{OL} = 2,2 mA.
Note 2: 8253, I_{OH} = -150 µA; 8253.5, I_{OH} = -400 µA.

CAPACITANCE T_A = 25°C; V_{CC} = GND = 0V

Symbol	Parameter	Min.	Typ.	Max.	Unit	Test Conditions
C_{IN}	Input Capacitance			10	pF	fc = 1 MHz
$C_{I/O}$	I/O Capacitance			20	pF	Unmeasured pins returned to V_{SS}

A.C. CHARACTERISTICS T_A = 0°C to 70°C, V_{CC} = 5,0V ± 5%; GND = 0

Bus Parameters (Note 1)

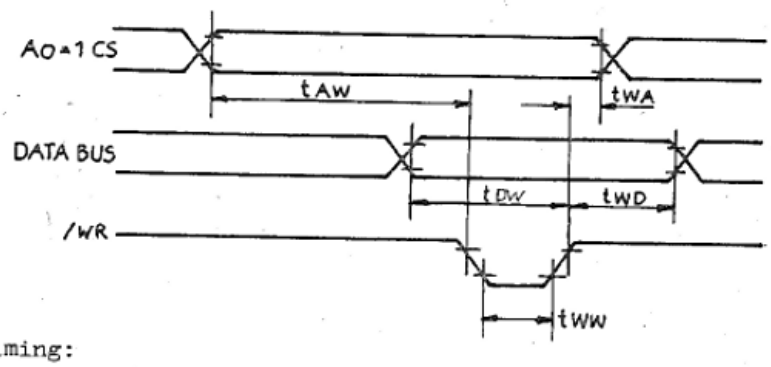
Read Cycle:

SYMBOL	PARAMETER	8253 MIN.	8253 MAX.	8253.5 MIN.	8253.5 MAX.	UNIT
t_{AR}	Address Stable Before /READ	50		50		ns
t_{RA}	Address Hold Time for /READ	5		5		ns
t_{RR}	/READ Pulse Width	100		300		ns
t_{RD}	Data Delay From /READ		300		200	ns
t_{DF}	/READ to Data Floating	25	125	25	100	ns

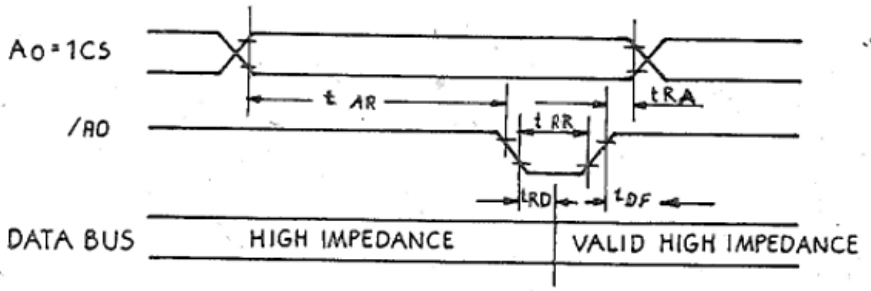
Write Cycle:

SYMBOL	PARAMETER	8253 MIN.	8253 MAX.	8253.5 MIN.	8253.5 MAX.	UNIT
t_{AW}	Address Stable Before /WRITE	50		50		ns
t_{WA}	Address Hold Time for /WRITE	30		30		ns
t_{WW}	/WRITE Pulse Width	400		300		ns
t_{DW}	Data Set Up Time for /WRITE	300		250		ns
t_{WD}	Data Hold Time for /WRITE	40		30		ns
t_{RV}	Recovery Time Between /WRITES	1		1		µs

Write Timing:



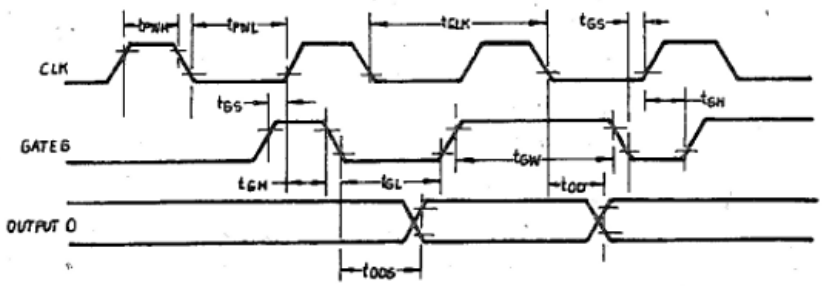
Read Timing:



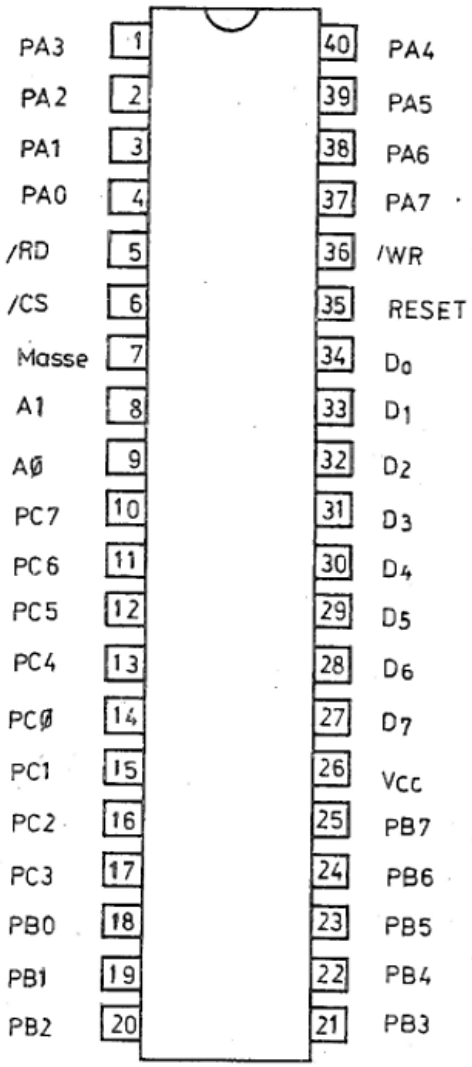
Clock and Gate Timing:

SYMBOL	PARAMETER	8253 MIN.	8253 MAX.	8253.5 MIN.	8253.5 MAX.	UNIT
t_{CLK}	Clock Period	380	dc	380	dc	ns
t_{PWH}	High Pulse Width	230		230		ns
t_{PWL}	Low Pulse Width	150		150		ns
t_{GW}	Gate Width High	150		150		ns
t_{GL}	Gate Width Low	100		100		ns
t_{GS}	Gate Set Up Time to CLK	100		100		ns
t_{GH}	Gate Hold Time After CLK	50		50		ns
t_{OD}	Output Delay From CLK		400		400	ns
t_{ODG}	Output Delay From Gate		300		300	ns

Note 1: Test Conditions: 8253: C_L = 100pF; 8253-5: C_L = 150 pF.



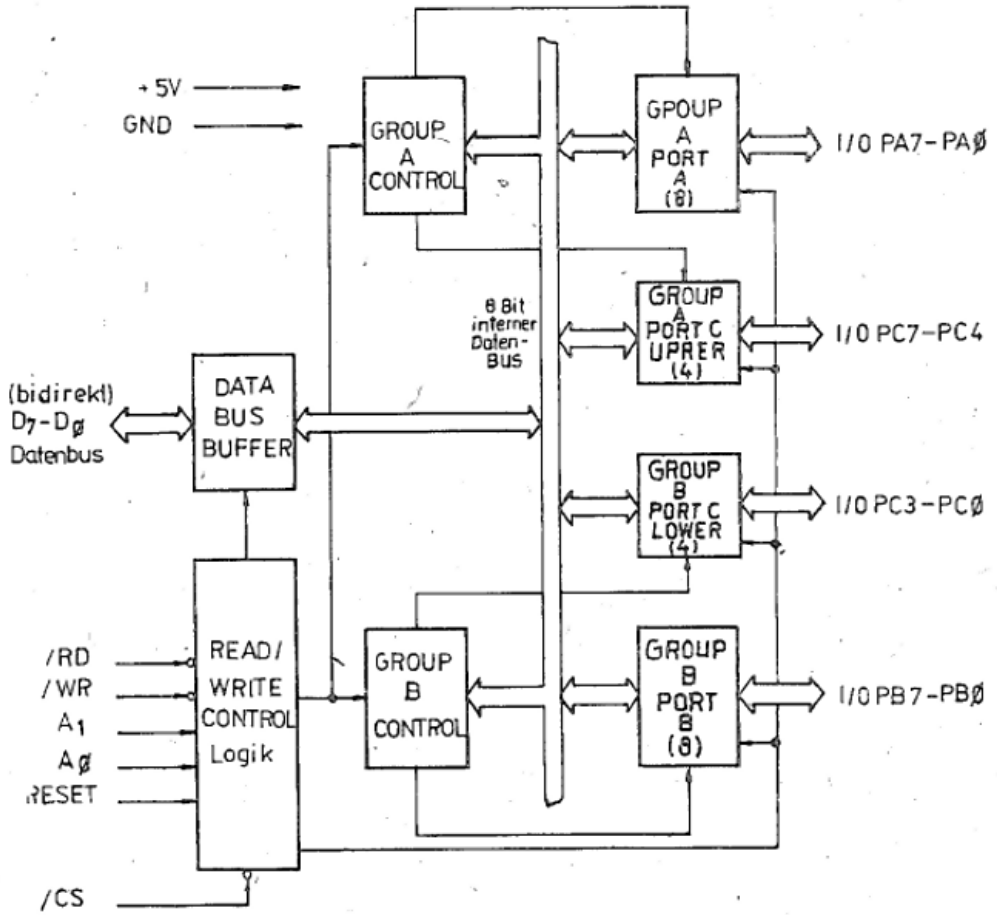
Er hat ein 40poliges Gehäuse, 24 I|O Pins zu je 2 Gruppen á 12 Pins, mit 3 Operations-Modes programmierbar.



PIN – Belegung

D7–D0 : Bidirektionaler Datenbus
RESET : RESET Eingang
/CS : Chip Select
/RD : Read Input
/WR : Write Input
A0,A1 : Port Auswahl
PA7–PA0: Port A (Bit)
PB7–PB0: Port B (Bit)
PC7–PC0: Port C (Bit)
V_{CC} : + 5 V
Masse : 0 V

PIN-Bezeichnung



Blockschaltbild

DATA BUS BUFFER

Dieser 3-state bidirektionale 8-Bit-Buffer dient dem Senden oder Empfangen von I|O-Daten durch die CPU.

READ|WRITE and Control Logic

Sie realisiert alle internen und externen Datenbewegungen der Daten- und Kontrollworte sowie Statusworte.
Sie nimmt Eingaben vom Adress- und Kontrollbus der CPU entgegen, oder gibt sie aus für beide Kontrollgruppen.

(/CS)

Chip Select. L an diesem Eingang ermöglicht die Zusammenarbeit zwischen dem 8255A und der CPU.

(/RD)

Read. L an diesem Eingang gestattet es, Daten oder Statusinformationen auf den Datenbus der CPU zu geben.

(/WR)

Write. L an diesem Eingang gestattet der CPU, Daten oder Kontrollworte in den 8255A zu schreiben.

(A0 und A1)

Port Select 0 und Port Select 1. Beide Eingänge im Zusammenwirken mit den RD oder WR Eingängen wählen einen der 3 Ports oder das Kontrollwort-Register aus.

Die obigen Eingänge sind normalerweise mit den zwei niedrigsten Bits vom Adress-Bus verbunden (A0 und A1).

Operationen des 8255A

A1	A0	/RD	/WR	/CS	
					Read
0	0	0	1	0	Port A → Datenbus
0	1	0	1	0	Port B → Datenbus
1	0	0	1	0	Port C → Datenbus
					Write
0	0	1	0	0	Datenbus → Port A
0	1	1	0	0	Datenbus → Port B
1	0	1	0	0	Datenbus → Port C
1	1	1	0	0	Datenbus → Kontrolle
X	X	X	X	1	Datenbus → 3-state
X	X	1	1	0	Datenbus → 3-state

(RESET)

Reset. H an diesem Eingang löscht alle internen Register und Port A, B und C stehen auf Eingabe.

Group A und Group B Controlls

Die funktionelle Gestaltung jedes Ports erfolgt durch die System-Software, indem die CPU ein Kontrollwort an die 8255 ausgibt. Dieses Kontrollwort enthält "MODE", "BIT SET", BIT RESET" etc.

Jeder der Kontroll-Blocks (Group A, Group B) übernimmt Kommandos von der Read|Write Control Logik, empfängt Kontroll-Worte vom internen Datenbus und gibt die eigentlichen Kommandos zu den zugehörigen Ports.

Control Group A - Port A and Port C upper (C7-C4)
Control Group B - Port B and Port C Lower (C3-C0)

In das Kontrollwort-Register kann nur geschrieben werden.
Nichtlese Operation für das Kontrollwort-Register ist erlaubt.

Ports A, B und C

Port A. Er ist ein 8-Bit Daten Ausgabe "Latch"|Buffer und ein 8-Bit Daten Eingabe "Latch".

Port B. Er ist ein 8-Bit Daten-Eingabe|Ausgabe "Latch"|Buffer und ein 8-Bit Daten Eingabe Buffer.

Port C. Er ist ein 8-Bit Daten-Ausgabe "Latch"|Buffer und ein 8-Bit Daten-Eingabe-Buffer (kein "Latch" für Eingabe).
Dieser Port kann in zwei 4-Bit Ports, unter MODE-Kontrolle geteilt werden. Jeder 4-Bit Port enthält ein 4-Bit Latch. Dieses kann sowohl für Kontroll-Signal Ausgänge, wie für Status-Signal Eingänge im Zusammenwirken mit Port A und Port B benutzt werden.

MODE Selection

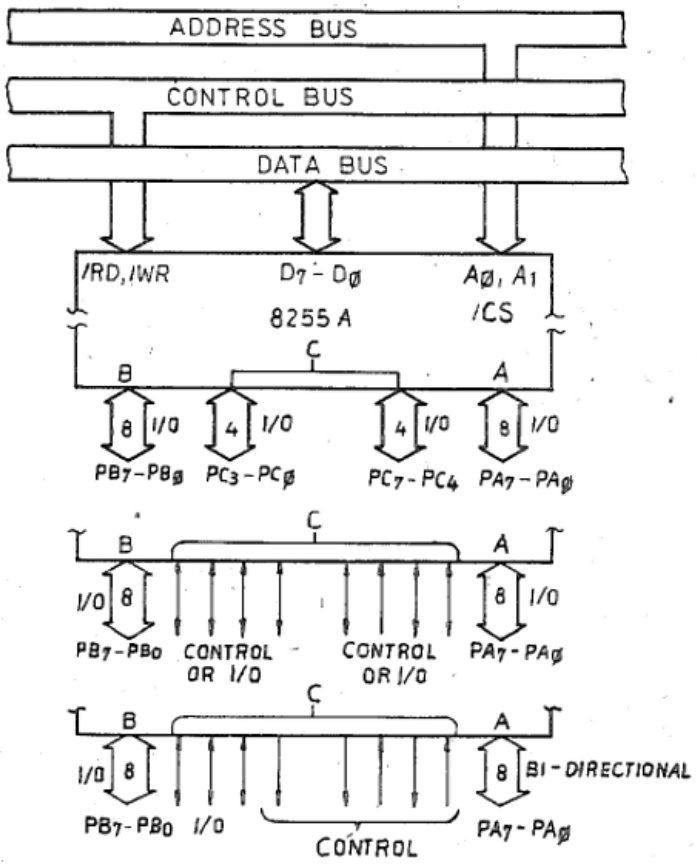
Es sind 3 Operations-MODEs durch die System-Software auswählbar.

MODE 0 - Basic Input|Output

MODE 1 - Strobed Input|Output

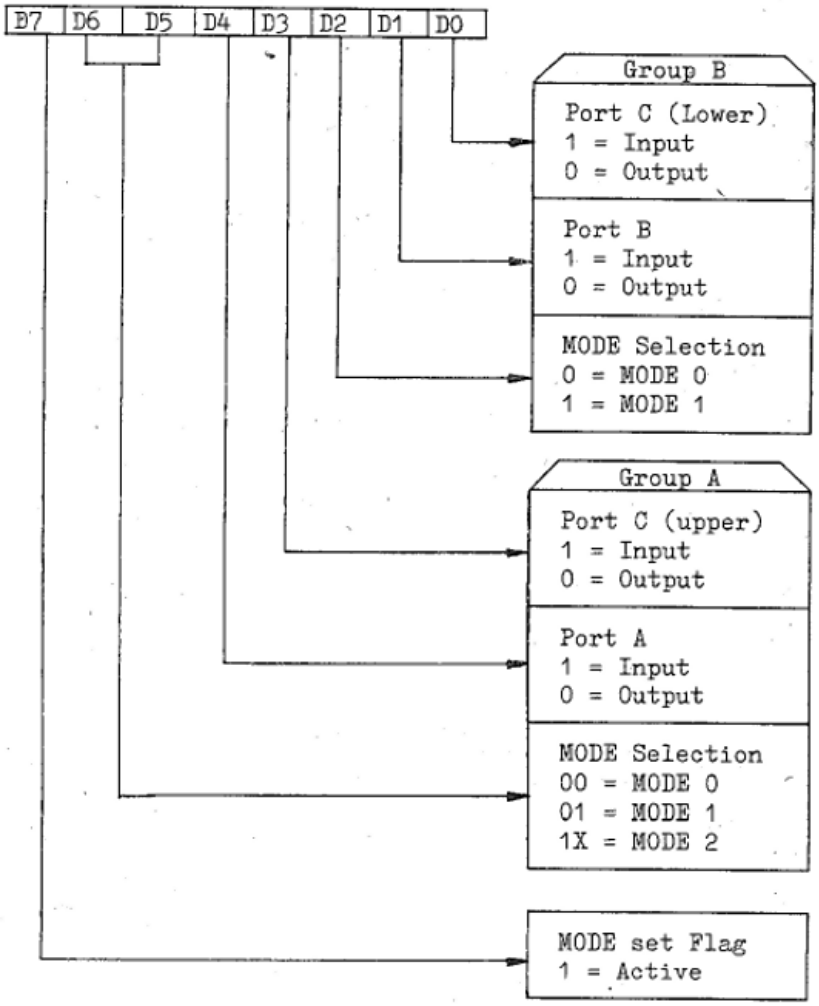
MODE 2 - Bi-Directional Bus

Wenn der Reset Eingang auf H geht, sind alle Ports auf Eingabe-MODE gesetzt, d.h. alle 24 Ein-|Ausgänge sind hochohmig.
Port A und Port B können durch entsprechende Programmierung separat definiert werden. Port C ist zweigeteilt und wird entweder 4-Bit breit definiert, oder Port A und B zugeordnet. Alle Ausgabe-Register sowie die Status Flip Flops werden mit jedem MODE-Wechsel rückgesetzt.



Basic MODE Definitionen und Bus Interface

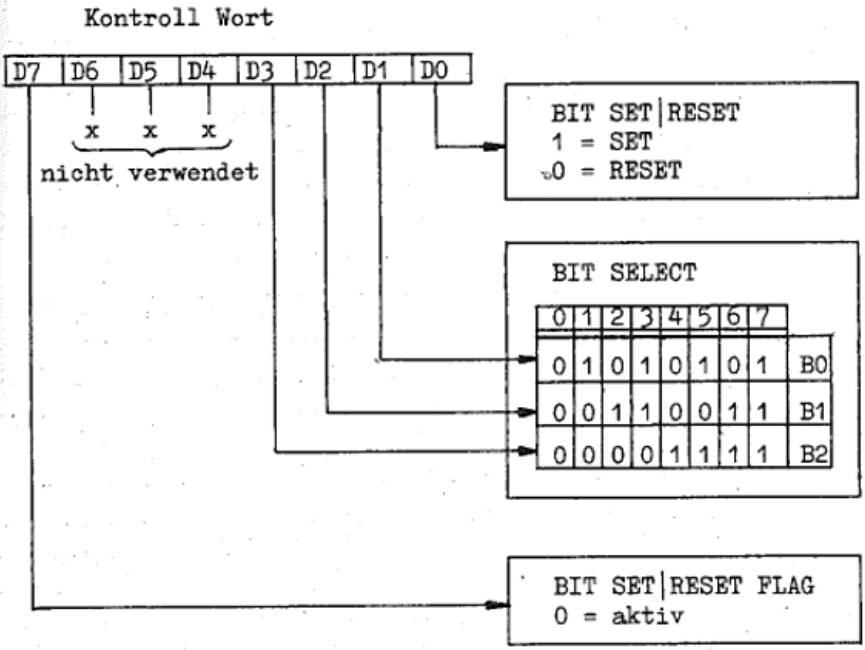
Kontroll Wort



MODE Definition

Single Bit Set|Reset

Jeder der 8 Bits des Port C kann als eine Bit Set oder Bit Reset Output Einzelfunktion genutzt werden.
Wenn Port C als "status|control" für Port A oder B gebraucht wird, können seine Bits mittels der "bit set|reset" Operation so genutzt werden, als wären es Daten Ausgabe Ports.



Bit Set|Reset Format

Interrupt Kontrollfunktionen

Wenn der 8255 auf MODE 1 oder 2 programmiert ist, werden Steuersignale bereitgestellt, die als Interrupt-Request-Impuls für die CPU verwendet werden. Die vom Port C erzeugten Interrupt-Signale können gesperrt oder freigegeben werden, durch Setzen oder Rücksetzen des zuständigen INTE-FF's unter Anwendung der "bit|reset" Funktion des Port C.

INTE-FF Definition

(Bit-SET) - INTE is SET - Interrupt enable
(Bit-RESET) - INTE is RESET - Interrupt disable

Merke: Alle Masken FF's werden automatisch, während MODE Auswahl und Geräte-Reset, rückgesetzt.

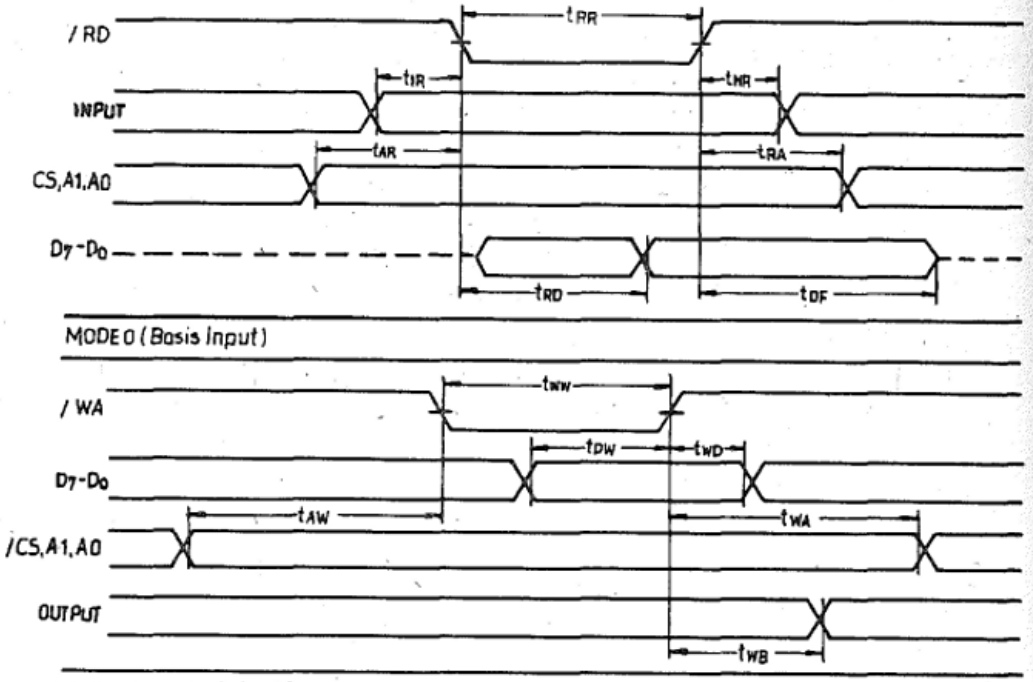
Operations MODEs

MODE 0 (Basis Ein-|Ausgabe)

Es werden einfache Ein-|Ausgabe-Operationen für jeden der 3 Ports geliefert. Es ist kein "Quittungsbetrieb" (Handshake) nötig, die Daten können zum ausgewählten Port geschrieben oder von ihm gelesen werden.

MODE 0 Basisfunktionen:

- Zwei 8-Bit Ports und zwei 4-Bit Ports.
- Jeder Port kann Eingang oder Ausgang sein.
- Ausgänge sind verriegelt (Latched).
- Eingänge sind verriegelt.
- Es sind 16 verschiedene Ein-|Ausgaben möglich.



A		B		GROUP A			GROUP B	
D4	D3	D1	D0	PORT A	PORT C (UPPER)	=	PORT B	PORT C (LOWER)
0	0	0	0	OUTPUT	OUTPUT	0	OUTPUT	OUTPUT
0	0	0	1	OUTPUT	OUTPUT	1	OUTPUT	INPUT
0	0	1	0	OUTPUT	OUTPUT	2	INPUT	OUTPUT
0	0	1	1	OUTPUT	OUTPUT	3	INPUT	INPUT
0	1	0	0	OUTPUT	INPUT	4	OUTPUT	OUTPUT
0	1	0	1	OUTPUT	INPUT	5	OUTPUT	INPUT
0	1	1	0	OUTPUT	INPUT	6	INPUT	OUTPUT
0	1	1	1	OUTPUT	INPUT	7	INPUT	INPUT
1	0	0	0	INPUT	OUTPUT	8	OUTPUT	OUTPUT
1	0	0	1	INPUT	OUTPUT	9	OUTPUT	INPUT
1	0	1	0	INPUT	OUTPUT	10	INPUT	OUTPUT
1	0	1	1	INPUT	OUTPUT	11	INPUT	INPUT
1	1	0	0	INPUT	INPUT	12	OUTPUT	OUTPUT
1	1	0	1	INPUT	INPUT	13	OUTPUT	INPUT
1	1	1	0	INPUT	INPUT	14	INPUT	OUTPUT
1	1	1	1	INPUT	INPUT	15	INPUT	INPUT

MODE 0 Port Definition

MODE 1 ("Strobed" Ein-|Ausgabe)

Ermöglicht die Übertragung von I|O-Daten zum oder vom ausgewählten Port in Verknüpfung mit "Strobe oder Handshake" Signalen. Port A und B benutzen die Leitungen von Port C zum senden oder empfangen dieser "Handshake" Signale.

MODE 1 Basisfunktionen:

- Zwei Gruppen (A + B).
- Jede Gruppe beinhaltet einen 8-Bit Daten Port und einen 4-Bit Kontroll-|Daten Port.
- Der 8-Bit Daten Port kann Eingang oder Ausgang sein. Beide Eingänge und Ausgänge sind verriegelt ("Latched").
- Der 4-Bit Port wird für Kontrolle und Status auf dem 8-Bit Daten Port benutzt.

Eingabe-Kontroll-Signal Definition

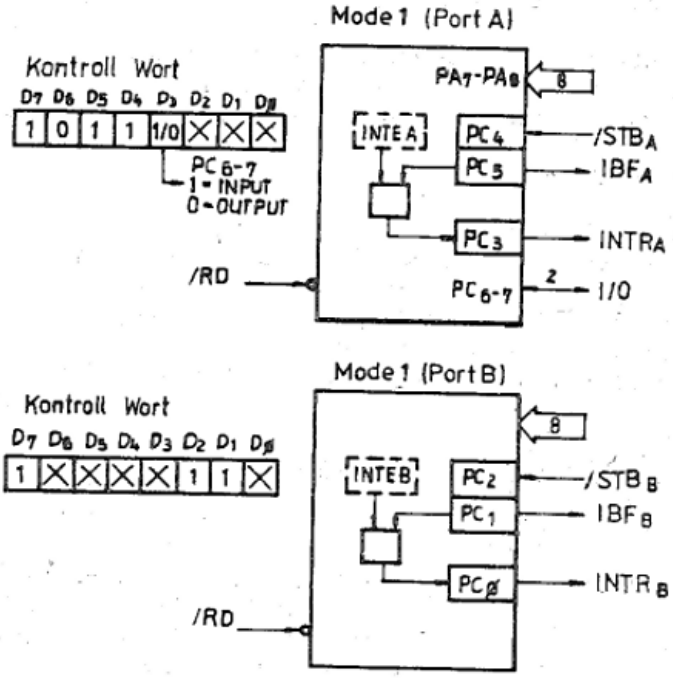
/STB (Strobe Input). L lädt Daten in das Eingabe-"Latch".

IBF (Input Buffer Full). H zeigt an, daß die Daten in das Eingabe-"Latch" geladen wurden. IBF wird durch den L /STB Eingang gesetzt und wird durch die steigende Flanke des /RD Einganges rückgesetzt.

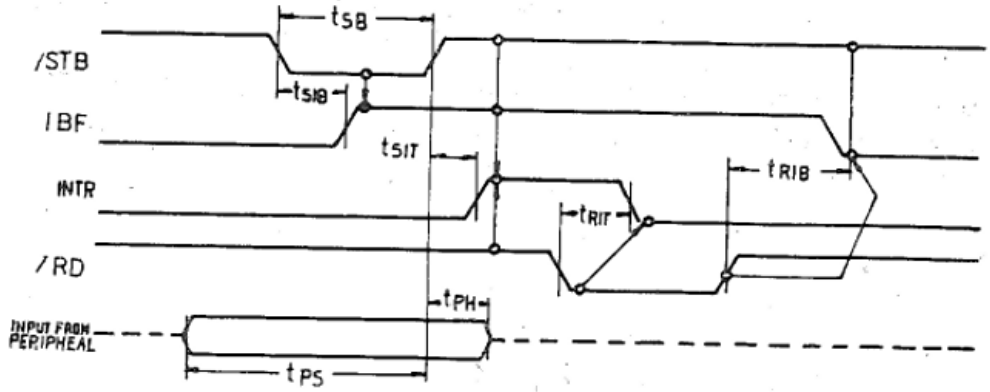
INTR (Interrupt Request). Ist dieser Eingang H kann er als Interrupt für die CPU genutzt werden, wenn ein Eingabegerät dies fordert. INTR ist gesetzt, wenn /STB, IBF und INTE H sind. Es wird mit der fallenden Flanke von /RD rückgesetzt. Diese Prozedur erlaubt einem Eingabegerät eine Service-Anforderung von der CPU, durch getaktetes Eingeben seiner Daten in den Port.

INTE A, kontrolliert durch "bit set|reset" von PC_4

INTE B, kontrolliert durch "bit set|reset" von PC_2



Mode 1 Eingabe



MODE 1 (Strobod Input)

Ausgabe-Kontroll-Signal Definition

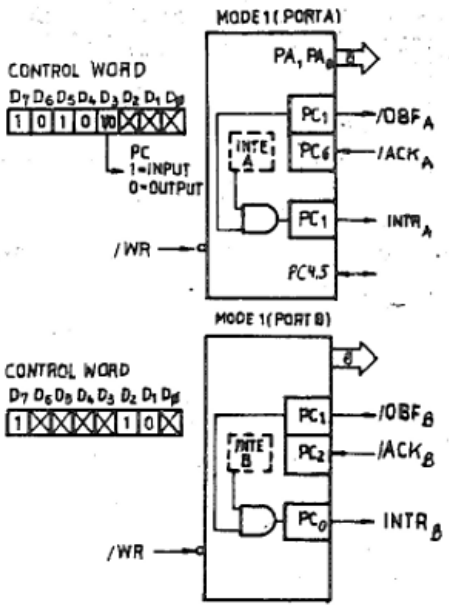
/OBF (Output Buffer Full). Der OBF Ausgang geht auf L um anzuzeigen, daß die CPU Daten über den ausgewählten Port ausgeschrieben werden. Der OBF wird mit der steigenden Flanke des WR-Einganges gesetzt und mit L am ACK-Eingang zurückgesetzt.

/ACK (Acknowledge Input). L an diesem Eingang informiert den 8255 , daß die Daten von Port A oder B akzeptiert wurden. Das heißt, eine Antwort vom peripheren Gerät zeigt an, daß es Ausgabedaten von der CPU empfangen hat.

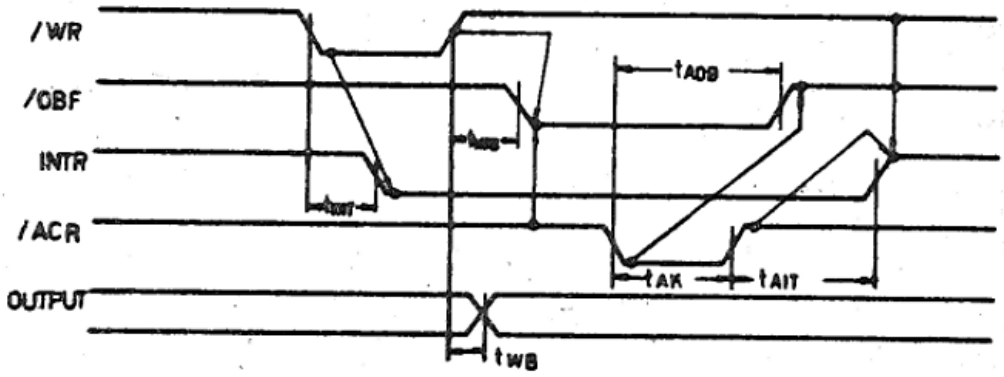
INTR (Interrupt Request). H an diesem Ausgang kann genutzt werden, die CPU zu unterbrechen (Interrupt), wenn ein Ausgabegerät einen Datentransport durch die CPU akzeptiert hat. INTR ist gesetzt, wenn /ACK, OBF und INTE H sind. Es wird mit der fallenden Flanke von WR rückgesetzt.

INTE A, kontrolliert durch "bit set|reset" von PC_6

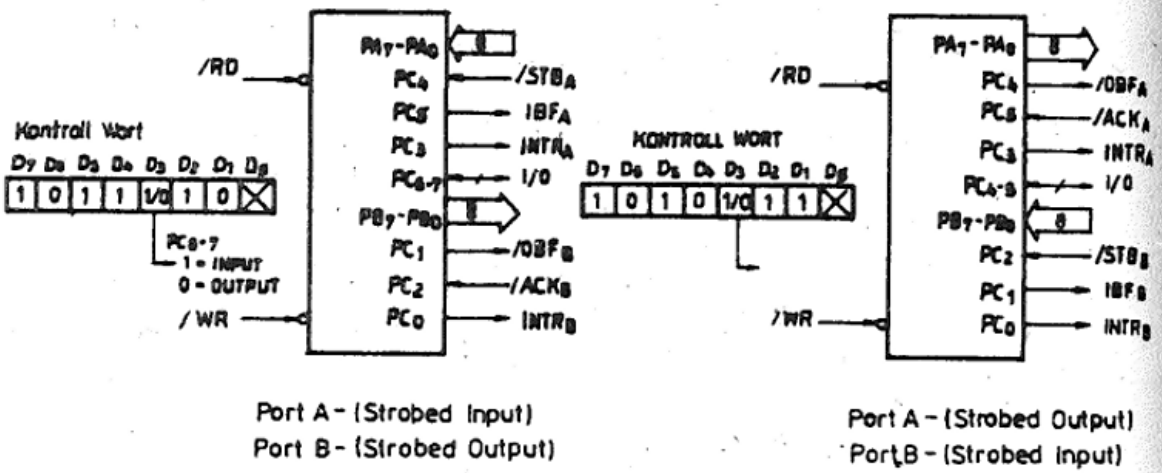
INTE B, kontrolliert durch "bit set|reset" von PC_2



MODE 1 Output



Mode 1 (Strobed Output)



Port A - (Strobed Input)
Port B - (Strobed Output)

Port A - (Strobed Output)
Port B - (Strobed Input)

Kombinationen von Mode 1

MODE 2 (Strobed Bidirectional)

Diese Funktionsart dient der Kommunikation mit einem peripheren Gerät oder einer Struktur mit einem einzelnen 8-Bit Bus für Sende- und Empfangsdaten (bidirektionaler I|O-Bus.)
Es werden "Handshaking" (Quittungsbetrieb) Signale geliefert, um den Busablauf zu Diode 1 auf einfache Art beizubehalten. Interrupt Erzeugung und Freigabe-| Sperrfunktionen sind vorhanden.

MODE 2 Basisfunktionen:

- Nur bei Gruppe A anwendbar.
- Ein 8-Bit bidirektionaler Bus (Port A) und ein 5-Bit Kontroll Port (Port C).
- Beide Ein- und Ausgänge sind verriegelt ("Latched").
- Der 5-Bit Kontroll Port (Port C) wird genutzt als Kontrolle und Status für den 8-Bit bidirektionalen Bus (Port A).

Bidirektional Bus I|O-Kontroll Signal Definition

INTR (Interrupt Request). H an diesem Ausgang kann als Interrupt für die CPU für beide Eingabe und Ausgabe Operationen verwendet werden.

Ausgabe Operationen

/OBF (Output Buffer Full). Der OBF Ausgang will auf L gehen um anzuzeigen, daß die CPU Daten zum Port A ausgeschrieben hat.

/ACK (Acknowledge). L an diesem Eingang gestattet dem "tri-state" Ausgabe Buffer von Port A, Daten zu senden. Ansonsten befindet er sich im hochohmigen Zustand.

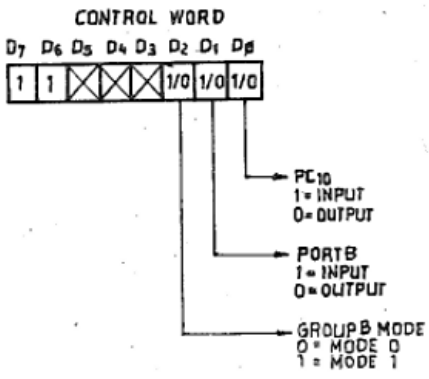
INTE 1 (Das INTE-FF ist zugehörig zu OBF). Kontrolliert durch "bit set|reset von PC_6.

Eingabe Operationen

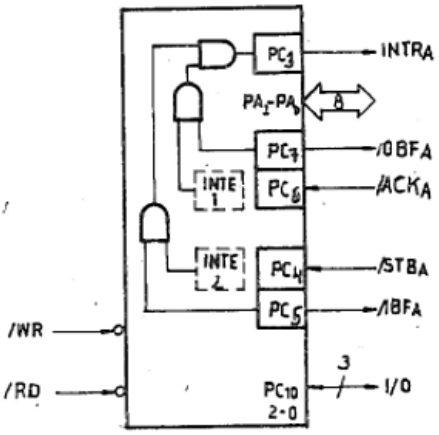
/STB (Strobe Input). L an diesem Eingang ladet Daten in das Eingabe "Latch".

IBF (Input Buffer Full). H an diesem Ausgang zeigt an, daß Daten in das Eingabe "Latch" geladen wurden.

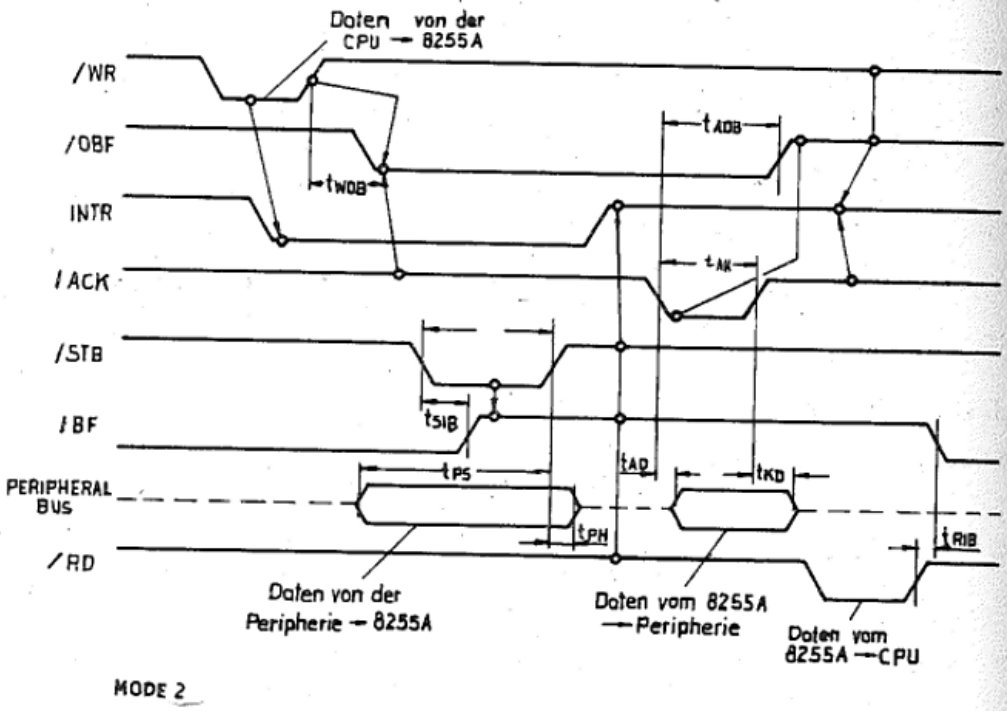
INTE 2 (Das INTE-FF ist zugehörig zu IBF). Kontrolliert durch "bit set|reset von PC_4.



MODE KONTROLL WORT



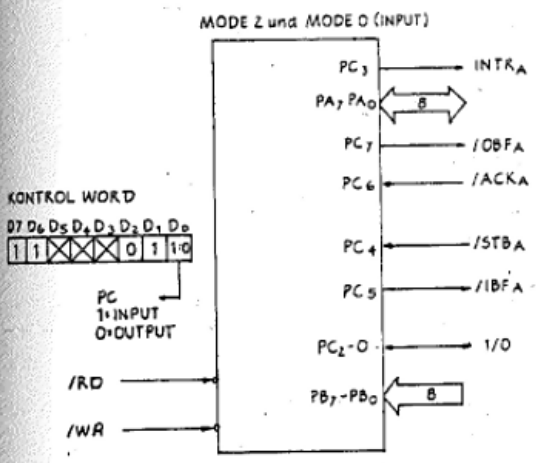
MODE 2

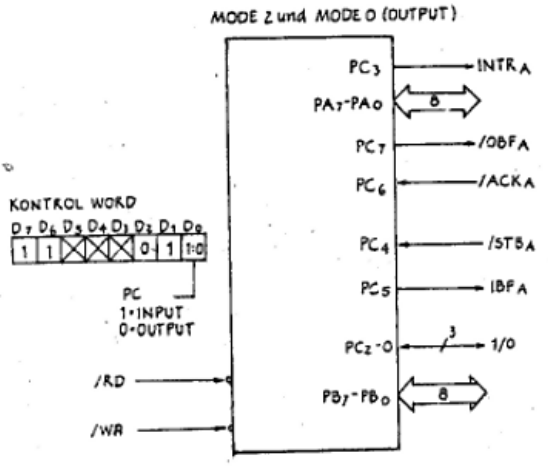


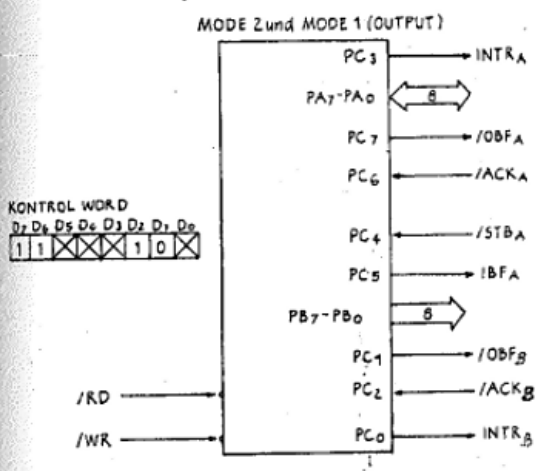
MODE 2

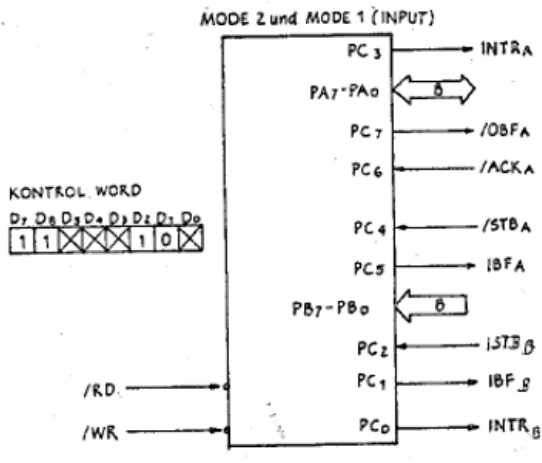
Beachte: Eine Reihenfolge in der /WR erscheint bevor /ACK erscheint und /STB vor /RD auftritt ist erlaubt.

(INTR = IBF·/INTE·/STB·/RD + /OBF·/INTE·/ACK·/WR)


MODE 2 und MODE 0 (INPUT)
KONTROL WORD
D7 D6 D5 D4 D3 D2 D1 D0
1 1 0 1:0
PC
1=INPUT
0=OUTPUT
PC3
PA7 PA0
8
PC7
PC6
PC4
PC5
PC2-0
PB7-PB0
8
/RD
/WR
INTRA
/OBFA
/ACKA
/STBA
/IBFA
1/0


MODE 2 und MODE 0 (OUTPUT)
KONTROL WORD
D7 D6 D5 D4 D3 D2 D1 D0
1 1 0 1:0
PC
1=INPUT
0=OUTPUT
PC3
PA7-PA0
8
PC7
PC6
PC4
PC5
PC2-0
3
PB7-PB0
8
/RD
/WR
INTRA
/OBFA
/ACKA
/STBA
IBFA
1/0


MODE 2 und MODE 1 (OUTPUT)
KONTROL WORD
D7 D6 D5 D4 D3 D2 D1 D0
1 1 1 0
PC3
PA7-PA0
8
PC7
PC6
PC4
PC5
PB7-PB0
8
PC1
PC2
PC0
/RD
/WR
INTRA
/OBFA
/ACKA
/STBA
IBFA
/OBFB
/ACKB
INTRB


MODE 2 und MODE 1 (INPUT)
KONTROL WORD
D7 D6 D5 D4 D3 D2 D1 D0
1 1 1 0
PC3
PA7-PA0
8
PC7
PC6
PC4
PC5
PB7-PB0
8
PC2
PC1
PC0
/RD
/WR
INTRA
/OBFA
/ACKA
/STBA
IBFA
/STBB
IBFB
INTRB

Alle MODE Definitionen

	MODE 0		MODE 1		MODE 2	
	IN	OUT	IN	OUT	GROUP A ONLY	
PA_0	IN	OUT	IN	OUT	←→	
PA_1	IN	OUT	IN	OUT	←→	
PA_2	IN	OUT	IN	OUT	←→	
PA_3	IN	OUT	IN	OUT	←→	
PA_4	IN	OUT	IN	OUT	←→	
PA_5	IN	OUT	IN	OUT	←→	
PA_6	IN	OUT	IN	OUT	←→	
PA_7	IN	OUT	IN	OUT	←→	
PB_0	IN	OUT	IN	OUT	——	Nur MODE 0 oder MODE 1
PB_1	IN	OUT	IN	OUT	——	
PB_2	IN	OUT	IN	OUT	——	
PB_3	IN	OUT	IN	OUT	——	
PB_4	IN	OUT	IN	OUT	——	
PB_5	IN	OUT	IN	OUT	——	
PB_6	IN	OUT	IN	OUT	——	
PB_7	IN	OUT	IN	OUT	——	
PC_0	IN	OUT	$INTR_B$	$INTR_B$	I|O	
PC_1	IN	OUT	IBF_B	$/OBF_B$	I|O	
PC_2	IN	OUT	$/STB_B$	$/ACK_B$	I|O	
PC_3	IN	OUT	$INTR_A$	$INTR_A$	$INTR_A$	
PC_4	IN	OUT	$/STB_A$	I|O	$/STB_A$	
PC_5	IN	OUT	IBF_A	I|O	IBF_A	
PC_6	IN	OUT	I|O	$/ACK_A$	$/ACK_A$	
PC_7	IN	OUT	I|O	$/OBF_A$	$/OBF_A$	

Spezielle MODE Kombinationen

Es gibt mehrere MODE Kombinationen, wenn nicht alle Eingangsleitungen von Port C für Kontrolle oder Status verwendet werden.

- Wenn als Eingang programmiert:

  Alle Eingangsleitungen können während einer normalen Port C Lesung Zugang haben.

- Wenn als Ausgang programmiert:

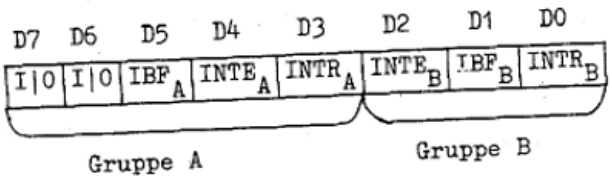
Auf die höheren Bits (PC_7-PC_4) des Port C muß individuell zugegriffen werden unter Nutzung der "bit set|reset" Funktion.

Auf die niederen Bits (PC_3-PC_0) des Port C kann zugegriffen werden unter Nutzung der "bit set|reset" Funktion, oder als Dreiergruppe beim Einschreiben in Port C.

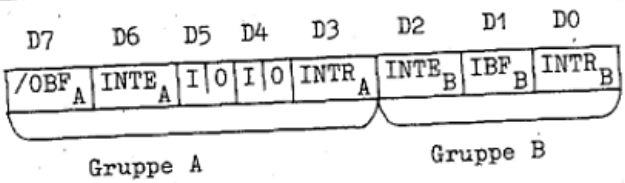
Lesen des Port C Status

In MODE 0, Port C transferiert Daten vom oder zum peripheren Gerät.
Ist der 8255 in MODE 1 oder 2 programmiert, nimmt oder generiert der Port C "handshake" Signale vom peripheren Gerät.

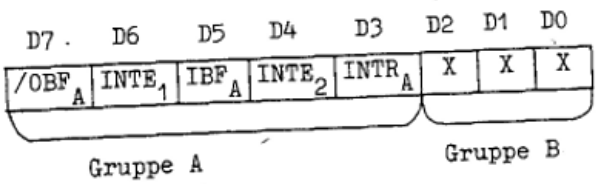
Eingabe Konfiguration



Ausgabe Konfiguration



MODE 1 Statur Wort Format

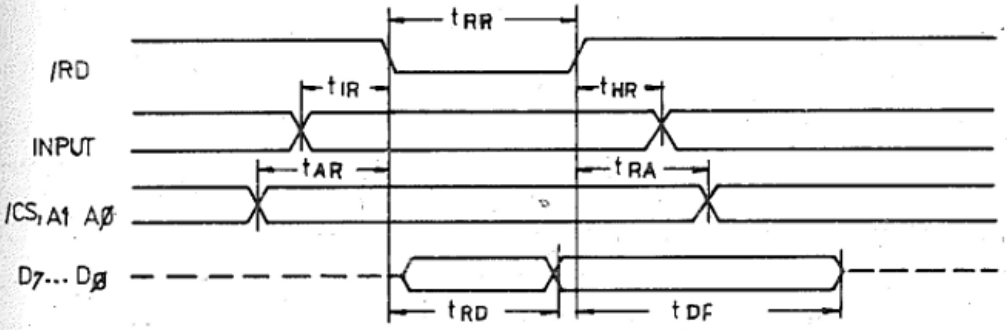


MODE 2 Status Wort Format

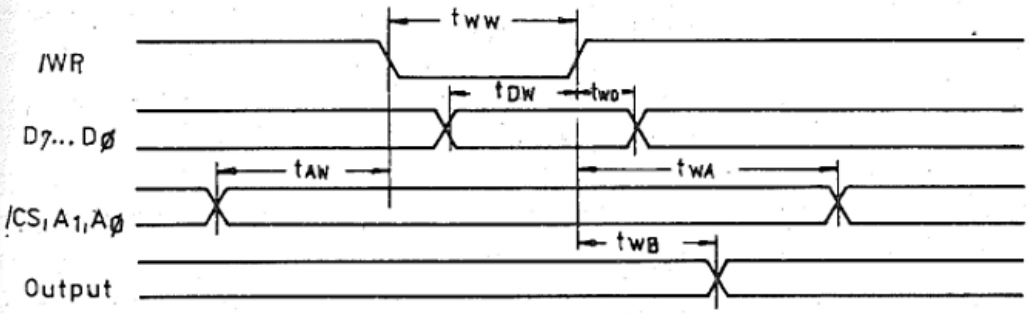
D.C. CHARACTERISTICS

T_A = 0°C to 70°C, V_{CC} = +5V ±5%; GND = 0V

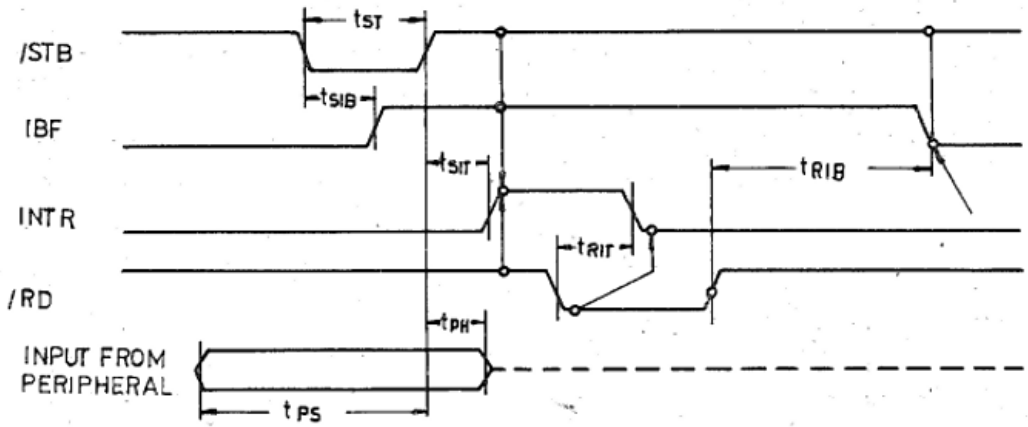
SYMBOL	PARAMETER	MIN.	MAX.	UNIT	TEST CONDITIONS
V_{IL}	Input Low Voltage	-0,5	0,8	V	
V_{IH}	Input High Voltage	2,0	V_{CC}	V	
V_{OL}(DB)	Output Low Voltage (Data Bus)		0,45	V	I_{OL} = 2,5mA
V_{OL}(PER)	Output Low Voltage(Peripheral Port)		0,45	V	I_{OL} = 1,7mA
V_{OH}(DB)	Output High Voltage (Data Bus)	2,4		V	I_{OH} = -400µA
V_{OH}(PER)	Output High Voltage(Periph. Port)	2,4		V	I_{OH} = -200µA
I_{DAR}	Darlington Drive Current	-1,0	-4,0	mA	R_{EXT} = 750 ; V_{EXT} = 1,5 V
I_{CC}	Power Supply Current		120	mA	
I_{IL}	Input Load Current		±10	µA	V_{IN} = V_{CC} to 0V
I_{OFL}	Output Float Leakage		±10	µA	V_{OUT}= V_{CC} to 0V



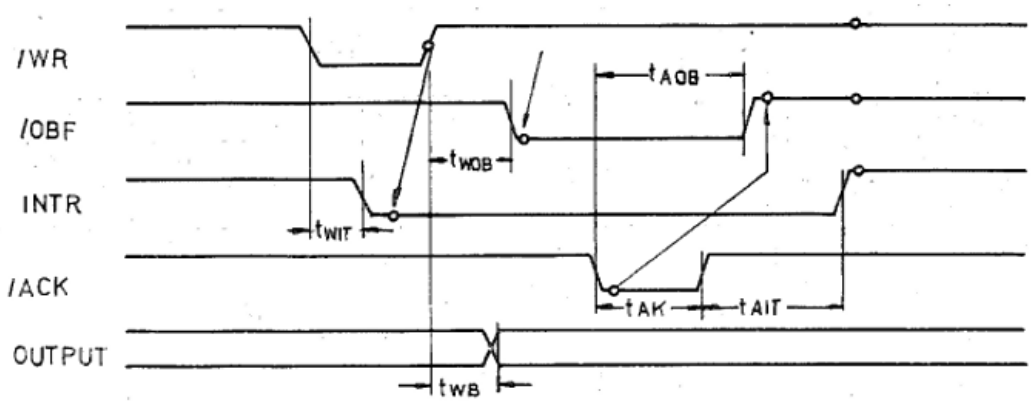
Mode 0 (Basic Input)



Mode 0 (Basic / Output)



Mode 1 (Strobed Input)



Mode 1 (Strobed Output)

A.C. CHARACTERISTICS

$T_A = 0^oC$ to 70^oC; $V_{CC} = +5V \pm 5\%$; GND = 0V

Bus Parameters

Read:

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
t_{AR}	Address Stable Before READ	0		ns
t_{RA}	Address Stable After READ	0		ns
t_{RR}	READ Pulse Width	300		ns
t_{RD}	Data Valid From READ		250	ns
t_{DF}	Data Float After READ	10	150	ns
t_{RV}	Time Between READs and/or WRITEs	850		ns

Write:

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
t_{AW}	Address Stable Before WRITE	0		ns
t_{WA}	Address Stable After WRITE	20		ns
t_{WW}	WRITE Pulse Width	400		ns
t_{DW}	Data Valid to WRITE (T.E.)	100		ns
t_{WD}	Data Valid After WRITE	30		ns

Other Timings:

SYMBOL	PARAMETER	MIN.	MAX.	UNIT
t_{WB}	WR = 1 to Output		350	ns
t_{IR}	Peripheral Data Before RD	0		ns
t_{HR}	Peripheral Data After RD	0		ns
t_{AK}	ACK Pulse Width	300		ns
t_{ST}	STB Pulse Width	500		ns
t_{PS}	Per. Data Before T.E. of STB	0		ns
t_{PH}	Per. Data After T.E. of STB	180		ns
t_{AD}	ACK = 0 to Output		300	ns
t_{KD}	ACK = 1 to Output Float	20	250	ns
t_{WOB}	WR = 1 to OBF = 0		650	ns
t_{AOB}	ACK = 0 to OBF = 1		350	ns
t_{SIB}	STB = 0 to IBF = 1		300	ns
t_{RIB}	RD = 1 to IBF = 0		300	ns
t_{RIT}	RD = 0 to INTR = 0		400	ns
t_{SIT}	STB = 1 to INTR = 1		300	ns
t_{AIT}	ACK = 1 to INTR = 1		350	ns
t_{WIT}	WR = 0 to INTR = 0		850	ns

Interrupt-Controller 8259 (KR 580 WN 59)

1. Aufbau und Wirkungsweise

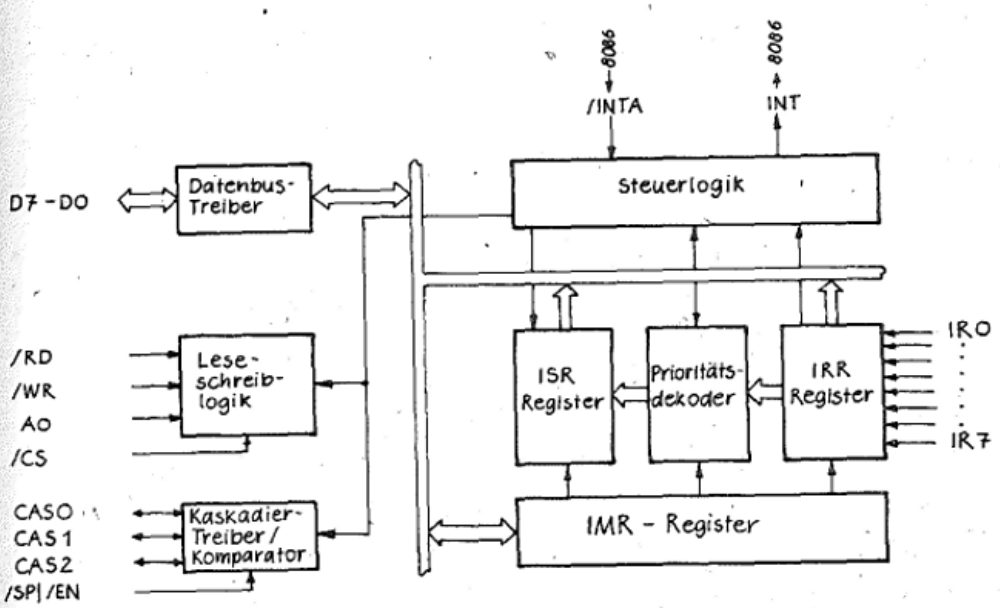


Bild 1

Die 8 Interrupt-Anforderungs-Leitungen IR0 - IR7 übertragen Signale in das Unterbrechungs-Anforderungs-Register IRR, wo sie gespeichert werden. Der Prioritätsdekoder bestimmt die Priorität einer Anforderung (8 mögliche Unterbrechungsebenen). Das Unterbrechungsbedien-Register ISR enthält die gerade bediente Unterbrechungsebene. Über das Interrupt-Masken-Register IMR können bestimmte Anforderungen maskiert (gesperrt) werden. Das Ausmaskieren eines Unterbrechungseingangs höherer Priorität beeinflußt die Unterbrechungsleitungen niederer Priorität nicht.
In der Steuerlogik werden alle für den internen Datenverkehr notwendigen Signale generiert.
Bidirektionale 8-Bit-Datenbustreiber bilden die Schnittstelle zwischen dem 8259 und dem Systemdatenbus und übertragen Steuerworte und Statusinformationen.
Gesteuert wird alles über die Lese-Schreib-Logik.
Der Kaskadier-Treiber/Komparator ermöglicht es, in einem System mehrere 8259 zu installieren und somit bis zu 64 programmunterbrechende Peripherieeinheiten anzuschließen.

2. Funktionsablauf

1) Signalisieren eine oder mehrere Interrupt-Anforderungsleitungen, daß eine Programmunterbrechung erforderlich ist, um ein Bedienprogramm für eine Peripherieeinheit zu starten, übernimmt der 8259 die Anforderung, stellt die Priorität fest und gibt ein Unterbrechungssignal (INT) an die CPU des 8086 ab.

2) Die CPU quittiert INT mit dem /INTA-Signal.

3) Durch den Empfang des ersten /INTA-Signals von der CPU wird das höchstpriorisierte ISR-Bit gesetzt und das zugehörige IRR-Bit rückgesetzt. Während dieses Zyklus wird der Datenbus nicht vom 8259 belegt.

4) Während des zweiten /INTA-Impulses, den der 8086 aussendet, legt der 8259 einen 8-Bit-Zeiger auf den Datenbus, der von der CPU gelesen wird.

5) Der Unterbrechungszyklus schließt wie folgt ab:
In der AEOI-Betriebsart (siehe Kapitel 3) wird das entsprechende ISR-Bit am Ende des zweiten /INTA-Signals rückgesetzt. Anderenfalls bleibt das ISR-Bit bis zu einem EOI-Befehl am Ende des Unterbrechungsprogrammes gesetzt.

Steht während Schritt 3 keine Interruptanforderung mehr an (wenn z.B. die Dauer der Anforderung zu kurz war), so gibt der 8259 automatisch einen Vektor der Unterbrechungsebene 7 auf den Bus.

3. Programmierung und Betriebsarten

Der 8259 übernimmt zwei Arten von Kommandoworten, die vom 8086 erzeugt werden.

1) Initialisierungsworte (ICW's)

Jeder 8259 muß vor Beginn der normalen Operationen mit zwei oder mehreren aufeinanderfolgenden Bytes in den Anfangszustand gebracht werden.

2) Steuerworte (OCW's)

Sie bestimmen die Betriebsart des 8259

- spezial voll verschachteltes Verfahren (Special Fully Nested)
- rotierende Priorität
- Spezial-Masken-Verfahren
- Abfrageverfahren (Polling)

Die OCW's können nach der Initialisierung jederzeit in den 8259 eingeschrieben werden.

Zu 1) Initialisierungsworte 1 und 2 (ICW1, ICW2)

Die Adreßbits A15 - A11 werden in die 5 höherwertigen Bits des Vektorbytes eingefügt, während der 8259 die niederwertigen 3 Bit, in Abhängigkeit von der Unterbrechungsebene, einfügt. A10 - A3 werden nicht beachtet und das Adressen-Intervall-Bit ist wirkungslos.

Programmbeispiel für ICW1 und ICW2:

	A7	A6	A5		LTIM	ADI	SNGL	IC4
ICW1 = 17H	0	0	0	1	0	1	1	1

	A15	A14	A13	A12	A11	A10	A9	A8
ICW2 = 20H	0	0	1	0	0	0	0	0

Bedeutung der Steuerbits im ICW1:

LTIM auf 0 gesetzt, arbeiten die Interrupteingänge flankengetriggert im Gegensatz zur pegeltriggerbaren Betriebsart.

ADI nur für 8080/8085 Systeme nötig
(CALL-Adreßintervall ADI = 1 bedeutet Intervall = 4, ADI = 0, Intervall = 8)

SNGL ist nur ein 8259 im System, so muß SNGL = 1 sein.
Hierbei wird kein ICW3 benötigt.

IC4 = 1, muß ein ICW4 gesendet werden, sonst werden alle Funktionen, die mit ICW4 ausgewählt werden, zurückgesetzt.

Vektorbyte:
Es zeigt auf einen Interruptvektor abhängig von der Unterbrechungsebene

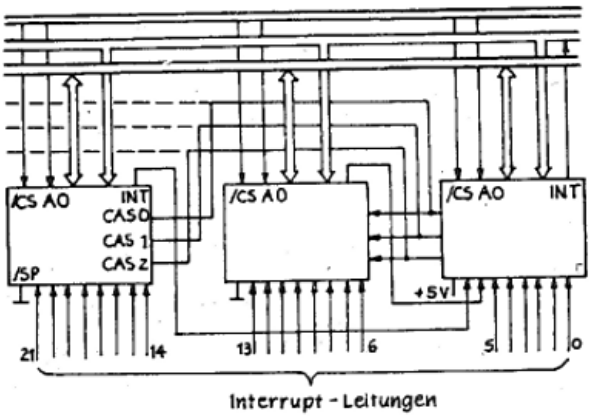
0	0	1	0	0	X	X	X

Startebene | Nummer der Unterbrechungsebene

In diesem Fall wird der am 8259 eintreffende Interrupt 0 auf den Interrupt 32 (Startebene 2^5) umgesetzt und damit der Interruptvektor auf Adresse 80 H benutzt
(4 Bytes : Typ 32 = 128 = 80 H)

Initialisierungswort 3 (ICW3)

Dieses Wort wird nur benötigt, wenn mehrere 8259 im System sind und in Kaskade geschaltet sind. ICW3 lädt das 8-Bit-"Slave"-Register. Die Arbeitsweise ist folgende:



Kaskadierung mehrerer 8259 Bild 2

1) In der "Master"-Betriebsart (entweder SP = 1, oder in der gepufferten Betriebsart, wenn in ICW4 M|S = 1 gesetzt ist) muß für jeden vorhandenen Slave S0-S7 eine 1 geschrieben werden. Der Master-Baustein veranlaßt bei Interrupt über die Kaskadierungsleitungen den entsprechenden Slave-Baustein das Vektorbyte auszugeben.

2) In der "Slave"-Betriebsart (entweder SP = 0, oder wenn in ICW4 BUF = 1 und M|S = 0 gesetzt ist), legen die Bits 0-2 die Kennung des Slave-Bausteins fest.
Der Slave-Baustein vergleicht seine CAS 0 - CAS 2 Eingänge (die vom Master angesteuert werden) mit diesen Bits.
Herrscht Identität wird das Vektorbyte ausgegeben.

Initialisierungswort 4 (ICW4)

Dieses Wort dient unter anderem zur Einstellung der Betriebsart abhängig vom verwendeten Prozessor 8080|8085 oder 8086. Die verschiedenen Steuermöglichkeiten dieses Byte gehen aus der folgenden Beschreibung hervor.

Programmierbeispiel für ICW4:

				SFNM	BUF	M|S	AEOI	µPM
ICW4 = 1DH	0	0	0	1	1	1	0	1

SFNM = H, ist die spezial voll verschachtelte Betriebsart (Special Fully Nested) ausgewählt, d.h. der Eingang IR0 hat höchste Priorität und IR7 niedrigste Priorität.

BUF = H, ist die gepufferte Betriebsart programmiert. In dieser wird /SP|/EN Anschluß an Freigabeausgang und Master|Slave wird mit dem M|S-Bit festgelegt.

M|S bei gepufferter Betriebsart M|S = 1 arbeitet der 8259 als Master, während M|S = 0 Slave Baustein bedeutet. Ist BUF = 0, hat M|S keine Wirkung.

AEOI = H, ist automatischer EOI-Betrieb (End of Interrupt) eingestellt.

µPM = L, arbeitet der 8259 für ein 8080|8085 System,
= H, arbeitet er für ein 8086 System.

Reihenfolge der Initialisierung

Die Verschaltung der Adreßleitung A0 siehe Bild 2. Nach der Programmierung mit den Initialisierungsworten (ICU's) ist der Baustein bereit, Unterbrechungsanforderungen zu empfangen. Dabei hat der Interrupteingang IR0 die höchste- und IR7 die niedrigste Priorität. Mit den Steuerworten (OCW's) kann der 8259 jedoch während des Betriebs durch Auswahl von Algorithmen in verschiedenen Betriebsarten arbeiten.

Das folgende Flußdiagramm zeigt den Ablauf der Initialisierung des 8259.

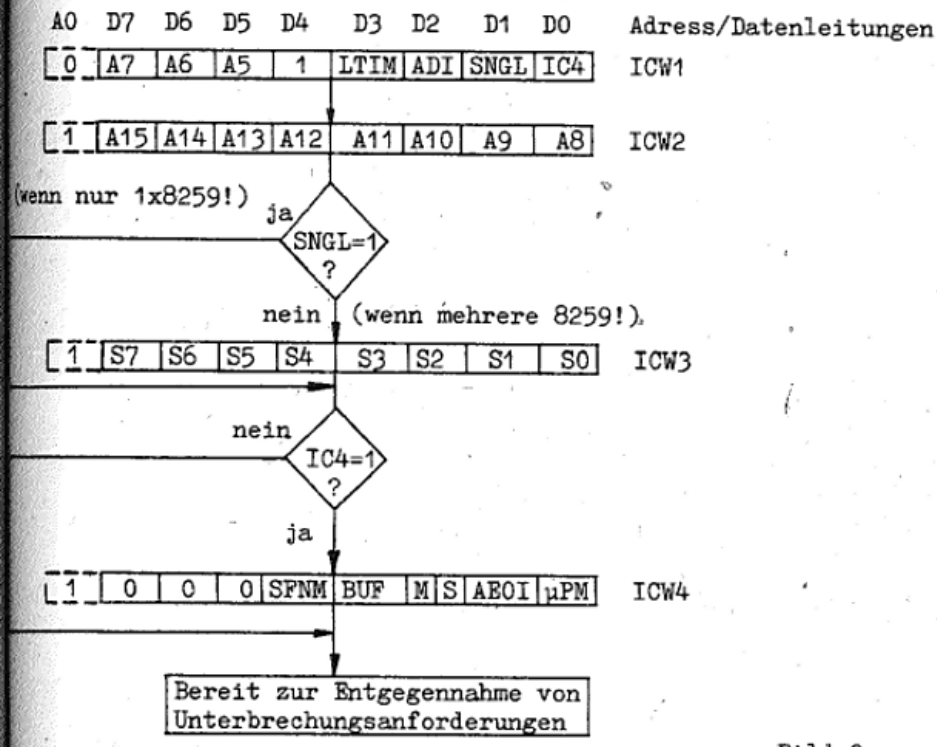


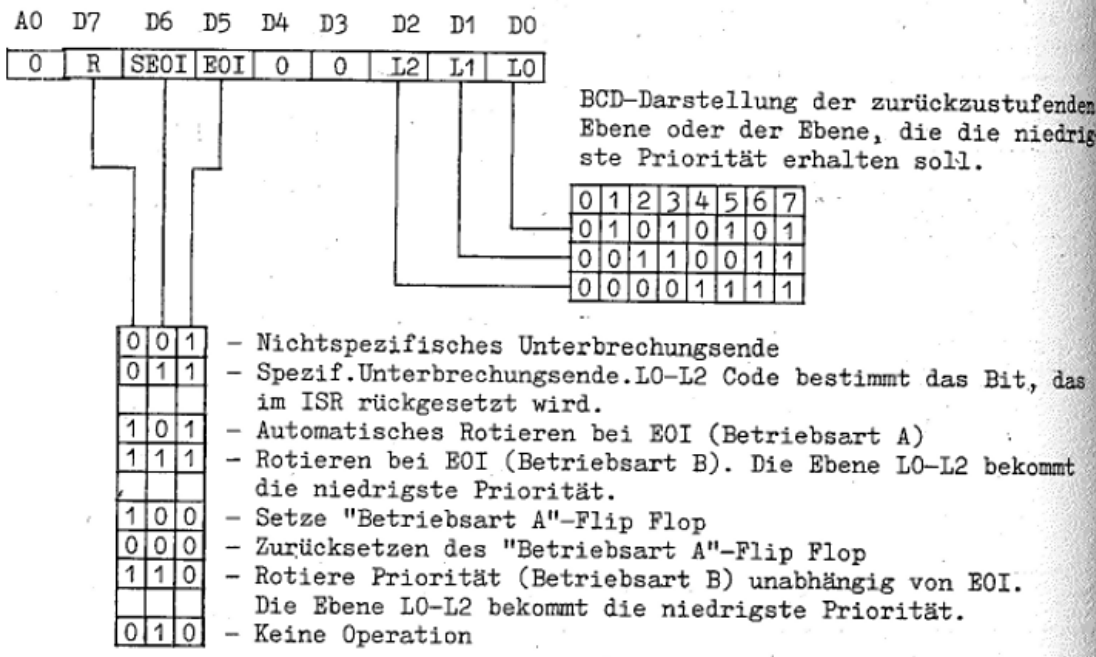
Bild 3

uerwort 1 (OCW1)

W dient zur Maskierung von Interrupteingängen. Es werden im Unterbrechungs-kenregister (IMR) Masken-Bits gesetzt bzw. zurückgesetzt. Eine "1" maskiert ihr zugeordneten Interrupteingang, eine "0" gibt ihn frei.

uerwort 2 (OCW2)

der Bearbeitung eines Interrupts wird im Unterbrechungsbedien-Register B) das entsprechende Bit gesetzt. Somit werden die Interrupteingänge mit irtgen Prioritäten gesperrt. Um dieses Bit zurückzusetzen ist OCW2 notwendig. es meist am Ende des Bedienprogramms ausgegeben wird, nennt man dieses Wort d of Interrupt" (EOI).



Bitkombinationen des OCW 2 Bild 4

Steuerwort 3 (OCW3)

Es ermöglicht einerseits eine Spezial-Masken-Betriebsart, andererseits Abfragebetrieb.

Spezial-Masken-Betriebsart

Es gibt Anwendungsfälle, wo während eines Unterbrechungsprogrammes die Prioritätsstruktur durch Software geändert werden muß.

Beispiel: Ein Unterbrechungsprogramm soll für einen Teil seiner Laufzeit niedrigpriorisierte Unterbrechungsanforderungen sperren und in einem weiteren Teil seiner Laufzeit einige dieser Anforderungen wieder freigeben.

Folgendes Problem tritt auf:

Es soll im Verlauf eines Bedienprogrammes ein Eingang mit niedriger Priorität (z.B. IR5) gesperrt (maskiert) werden, an dem aber schon eine Anforderung ansteht (Bit 5 in IRR gesetzt). Es wird beim Auftreten einer weiteren Anforderung mit noch niederer Priorität (z.B. IR6) die Annahme dieses Interrupt nach Beendigung des gerade laufenden Bedienprogramms dadurch verhindert, daß einerseits das Bit 5 im IRR gesetzt ist und dadurch bei der Prioritätsanalyse IR5 als Eingang mit höchster Priorität erkannt wird, andererseits dieser Eingang aber maskiert ist.
Die Anforderung kann nicht an das ISR weitergegeben werden, da die später erfolgte Maskierung sich sowohl auf das IRR als auch auf das ISR auswirkt. Um diese Blockierung zu verhindern, kann mit dem OCW3 das SMM-Flip-Flop gesetzt werden.

Abfragebetrieb (Polling)

Hier wird eine Interruptanforderung an den 8259 nicht als Interrupt an die CPU weitergeleitet, sondern der Zustand der Interrupt-Eingänge wird von der CPU abgefragt. Dazu muß die Interruptfähigkeit der CPU aufgehoben werden (DI-Befehl)

Bedeutung der Steuerbits in OCW3:

ESMM)
SMM) Spezial-Masken-Betriebsart setzen oder rücksetzen

ERIS)
RIS) Abfragebetrieb steuern (Lesen IRR oder ISR mit /RD)

P Abfragebetrieb freigeben

(siehe Bild 5)

Bitkombinationen des Steuerwortes OCW3

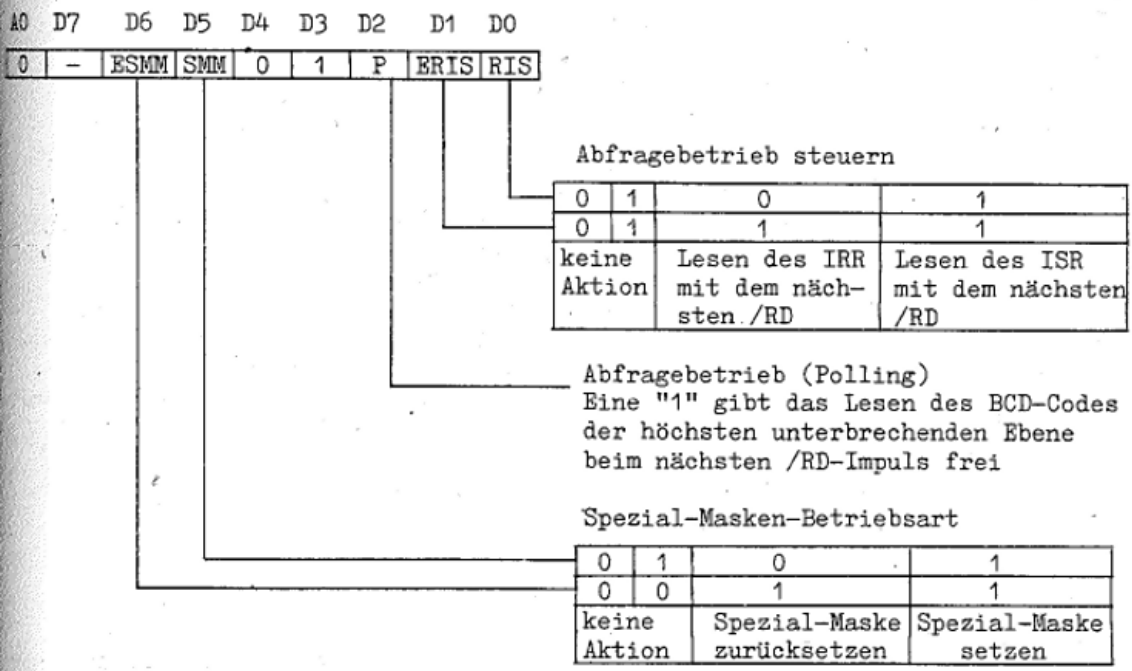
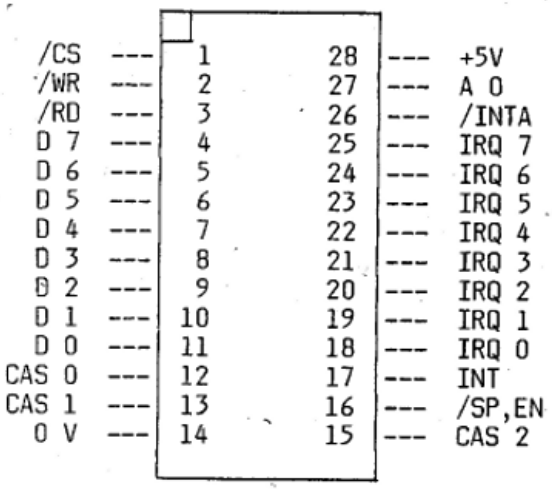


Bild 5



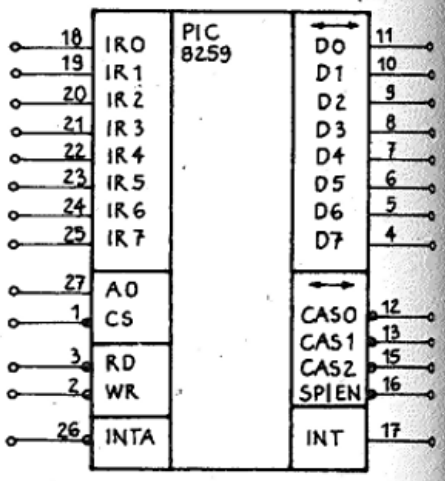


Bild 6

Pinbelegung

D7 - D0
(Ein-|Ausgänge)
Bidirektionaler Datenbus für:
1) Transfer der Initialisierungs- und Steuerworte im 8259
2) Ausgabe des 8259-Status an die CPU
3) Transfer des Interruptvektors zur CPU

IR7 - IR0
(Eingänge)
Über sie findet entweder durch einen H-Pegel oder mit einer negativen Flanke eine Interruptanforderung statt.
In der pegelgetriggerten Betriebsart (aktiver Pegel H) werden Flanken nicht ausgewertet.

/RD
(Eingang)
Lese-Signal

/WR
(Eingang)
Schreib-Signal

/INTA
(Eingang)
Interrupt-Acknowledge-Signal, es wird als Folge einer Interruptanforderung von der CPU generiert. In einem 8086-System werden 2 /INTA-Signale während eines Interruptzyklus erzeugt.

/CS
(Eingang)
Chip-Auswahl-Signal. Lese- oder Schreibsignale werden nur mit diesem Signal wirksam.

A0
(Eingang)
Niederwertigstes Adressbit des 8086
A0 = H IMR-Register kann geladen oder gelesen werden.
A0 = L Programmieren des 8259 oder Lesen des Status möglich.

INT
(Ausgang)
Interruptausgang, er wird mit dem Interrupteingang des 8086 verschaltet. INT ist aktiv HIGH.

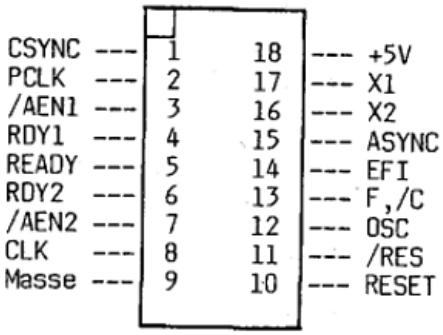
CAS 0 - CAS 2 (Ein-|Ausgänge)	Kaskadierungsleitungen um mehrere 8259 (max. 8) in Reihe schalten zu können.
/SP|/EN (Ein-|Ausgang)	Es hat 2 Funktionen: In der gepufferten Betriebsart sendet der 8259 über diesen Pin ein Treiber-Freigabe-Signal, um in großen Systemen einen Bustreiber ansteuern zu können. In der nicht gepufferten Betriebsart wird über diesen Pin Master- oder Slave-Betrieb des 8259 ausgewählt. /SP|/EN = H Masterbetrieb /SP|/EN = L Slavebetrieb

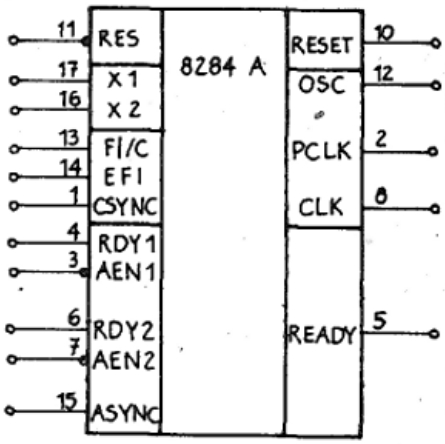
Taktgenerator 8284 A (K 1810 GF 84)

Er ist ein pipolarer Baustein für den 8086 und Peripheriebausteine. Er enthält auch READY-Logik zur Steuerung von Wartezyklen im 8086 bei Verwendung von langsamen Speichern oder für die Synchronisation von 2 8086-Systemen.
Er besteht aus einem synchronen Teiler durch 3 mit einem speziellen Rücksetzeingang (CSYNC), womit der Zählvorgang unterdrückt werden kann. Über diesen Rücksetzeingang kann der Takt am Ausgang mit einem externen Ereignis synchronisiert werden.

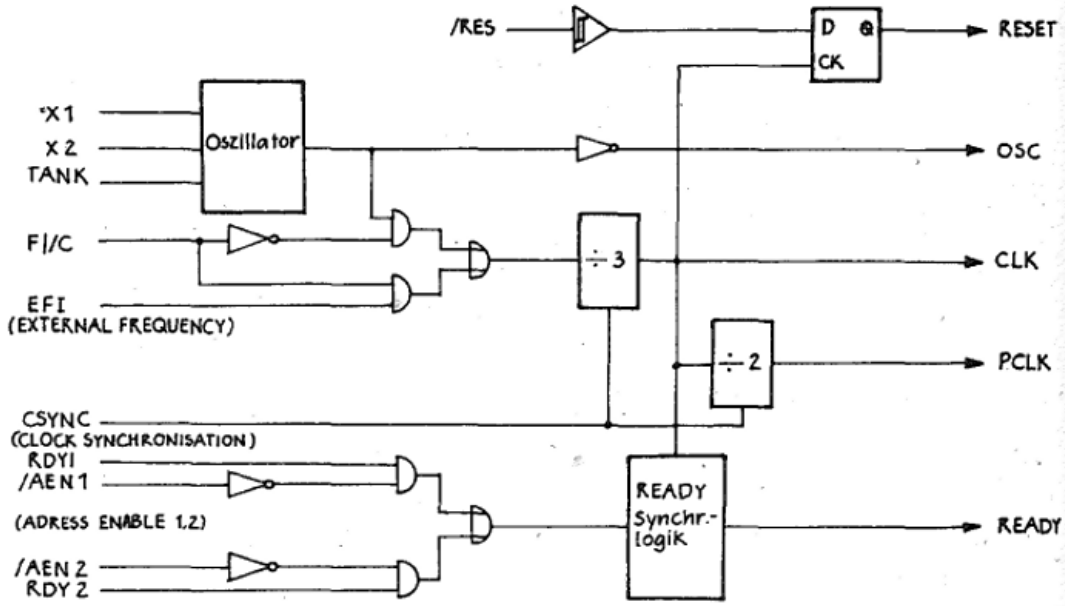
Funktionen: - Takterzeugung
- Erzeugung und Synchronisation von RESET
- Synchronisation von READY

Pinbelegung



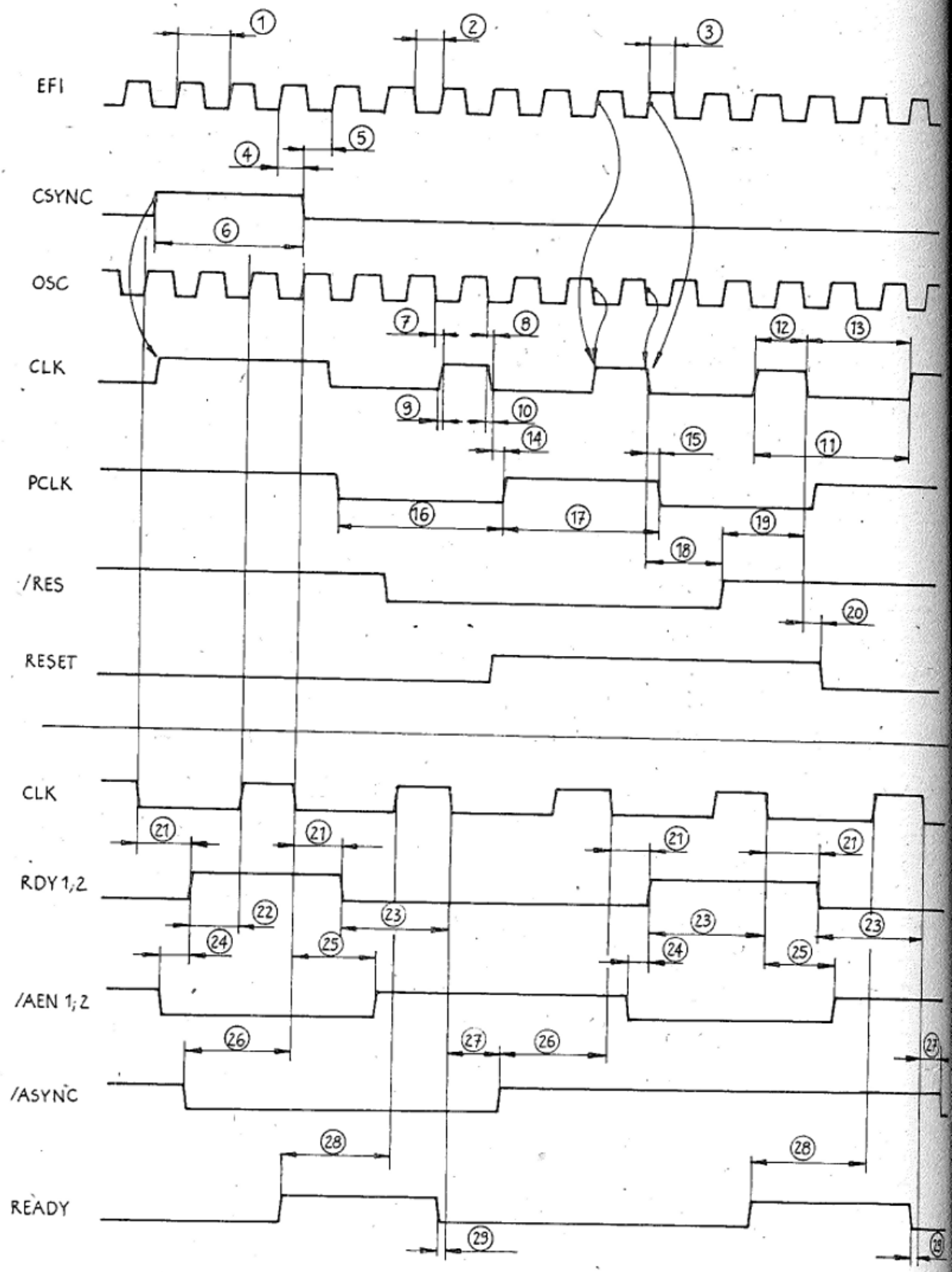


Prinzipschaltbild



Signale am 8284 A

Symbol	Typ	F u n k t i o n
/AEN1 /AEN2	E	L - aktives Gültigkeitssignal für zugehörigen RDY-Eingang.
RDY1 RDY2	E	H - aktive Signale, die angeben, daß Daten empfangen wurden oder zur Übernahme bereit sind und Zyklus beendet werden kann.
/ASYNC	E	L bewirkt 2stufige READY-Synchronisation mit CLK, H (interner pull-up-Widerstand) bewirkt einstufige Synchronisation von READY mit fallender CLK-Flanke.
READY	A	Synchronisiertes Signal (ändert sich nur bei fallender Taktflanke) für CPU wird gebildet aus (RDY1 . AEN1) + (RDY2 . AEN2)
X1, X2	E	Anschlüsse für Quarz (3facher Prozessortakt)
F/C	E	Steuersignale für Taktquelle, L: Quarzoszillator, H: Takt von EFI-Eingang
EFI	E	Eingang zur Einspeisung einer externen Taktfrequenz
CLK	A	Prozessortakt mit H-Pegel ≥ 4,5 V und Tastverhältnis 1/3 Hoch | 2/3 Tief
PCLK	A	Peripherietakt, 1/2 Frequenz von CLK
OSC	A	Ausgang für Quarzoszillatorfrequenz
/RES	E	Schmittriggereingang zur Erzeugung von RESET, RC - Kombination anschließbar
RESET	A	Synchronisiertes H - aktives Rücksetzsignal für CPU, ans /RES abgeleitet
CSYNC	E	H - aktives Signal zur Synchronisation mehrerer 8284A, um phasengleiche Takte abzugeben.



8284 A Zeitverhalten

Dynamische Kennwerte des 8284 A

Symbol	Parameter	Min	Max	Einheit	Testbedingung
	Quarzfrequenz	12	25	MHz	
1	EFI-Periode (EP)	33		ns	
2	EFI-L-Dauer	13		ns	
3	EFI-H-Dauer	13		ns	
4	CSYNC-Voreinstellzeit	20		ns	
5	CSYNC-Haltezeit	10		ns	
6	CSYNC-Dauer	2·EP			
7	OSC zu CLK auf H	-5	22	ns	
8	OSC zu CLK auf L	2	35	ns	
9	CLK-Anstiegszeit		10	ns	
10	CLK-Abfallzeit		10	ns	
11	CLK-Periode (CP)	125		ns	
12	CLK-H-Dauer	$1/3 \cdot CP+2$		ns	
13	CLK-L-Dauer	$2/3 \cdot CP-15$		ns	
14	CLK zu PCLK auf H		22	ns	
15	CLK zu PCLK auf L		22	ns	
16	PCLK-L-Dauer	CP-20		ns	
17	PCLK-H-Dauer	CP-20		ns	
18	/RES-Voreinstellzeit	65		ns	
19	/RES-Haltezeit	20		ns	
20	CLK zu RESET auf H		40	ns	
21	RDY-Haltezeit	0		ns	
22	RDY-Voreinstellzeit	35		ns	/ASYNC = Tief
23	RDY-Voreinstellzeit	35		ns	/ASYNC = Hoch
24	/AEN zu RDY-Voreinstellzeit	15		ns	
25	/AEN-Haltezeit	0		ns	
26	/ASYNC-Voreinstellzeit	50		ns	
27	/ASYNC-Haltezeit	0		ns	
28	READY-Voreinstellzeit	$2/3 \cdot CP-15$		ns	READY auf Hoch
29	READY-Voreinstellzeit	-8		ns	READY auf Tief

Statische Kennwerte des 8284 A

Symbol	Parameter	Min	Max	Einheit	Testbedingung
V_{CC}	Betriebsspannung	4,5	5,5	V	0°C – 70°C
I_{CC}	Betriebsstrom		162	mA	
I_L	Eingangsstrom ASYNC andere		−1,3 −0,5	mA mA	0,45 V
I_H	Eingangsstrom		50	µA	V_{CC}
V_{IL}	Eingangsspannung L		0,8	V	
V_{IH}	Eingangsspannung H	2,0		V	
V_{OL}	Ausgangsspannung L		0,45	V	I_{OL} = − 5 mA
V_{OH}	Ausgangsspannung H	2,4		V	I_{OH} = 1,0 mA
	Ausgangsspannung CLK	4,0		V	I_{OH} = 1,0 mA
V_{IHR}	/RES – Eingangsspannung bei Übergang auf H	2,6		V	
V_{LHR}	/RES – Eingangsspannungs-Hysterese	0,25		V	
V_{ILR}					

Bus-Controller 8288 (KR 580 WG 88)

Er wird in Großen 8086 Systemen (Maximum-Mode) eingesetzt und dient sowohl als Treiber als auch zur Generierung von Steuersignalen für den Systembus.

1. Betriebsarten

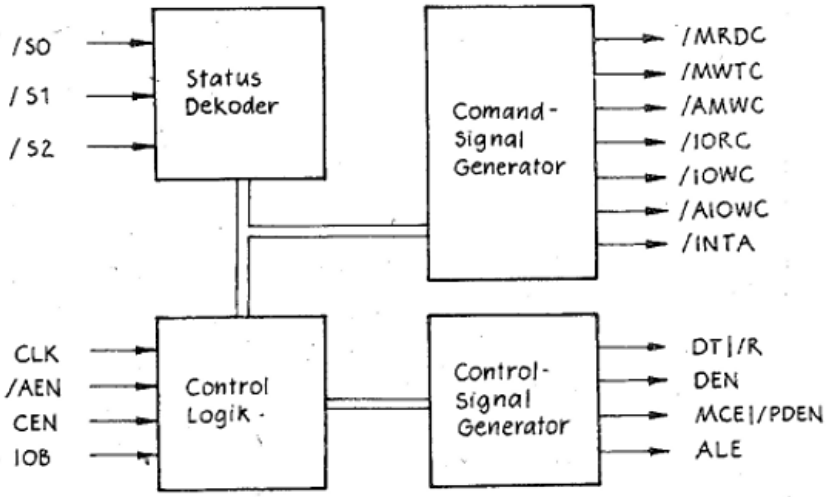
I|O-Bus-Betriebsart

Sie ermöglicht dem 8288 zwei Busse, den I|O-Bus und den Speicherbus, zu steuern.
Alle Steuerleitungen für I|O können aktiviert werden (/IORC, /IOWC, /AIOWC, /INTA).
Startet der Prozessor einen I|O-Zyklus, so aktiviert der 8288 unmittelbar die Leitungen /PDEN und DT|/R zur Steuerung des I|O-Treibers.

Systembus-Betriebsart

Sie wird benutzt, wenn nur ein Bus (der Systembus) existiert. Der Bus-Controller wird erst durch die Buszuteilungslogik (Bus Arbiter) aktiviert, wenn der Bus dem System zugeteilt wurde.

2. Interner Aufbau

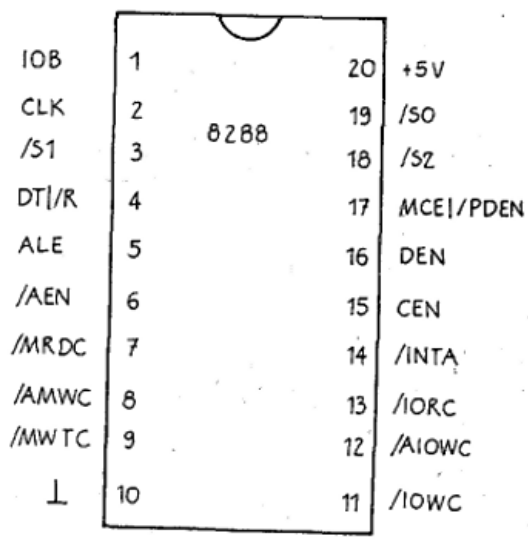


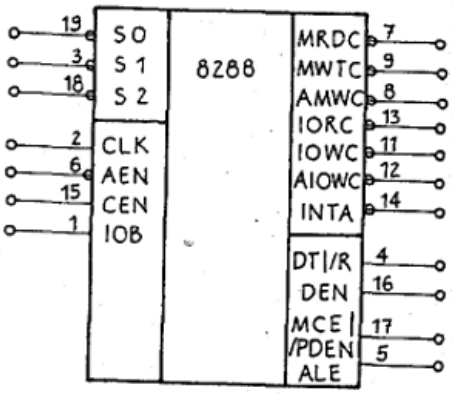
/S2	/S1	/S0	8086-Status	aktivierte Steuerleitung des 8288
0	0	0	Interrupt Acknowledge	/INTA
0	0	1	I|O-Port lesen	/IORC
0	1	0	I|O-Port schreiben	/IOWC, /AIOWC
0	1	1	Halt	–
1	0	0	Befehlskode lesen	/MRDC
1	0	1	Speicher lesen	/MRDC
1	1	0	Speicher schreiben	/MWTC, /AMWC
1	1	1	passiv	–

IOB	/AEN	CEN	Betriebsart	/INTA, /IORC /IOWC, /AIOWC	/MRDC,/MWTC,/AMWC
0	1	1	Systembus	hochohmig	hochohmig
0	1	0	Systembus	hochohmig	hochohmig
0	0	1	Systembus	aktiv	aktiv
0	0	0	Systembus	inaktiv	inaktiv
1	1	1	I|O	aktiv	hochohmig
1	1	0	I|O	inaktiv	hochohmig
1	0	1	I|O	aktiv	hochohmig
1	0	0	I|O	inaktiv	hochohmig

Funktionen der Steuersignale innerhalb der beiden Betriebsarten

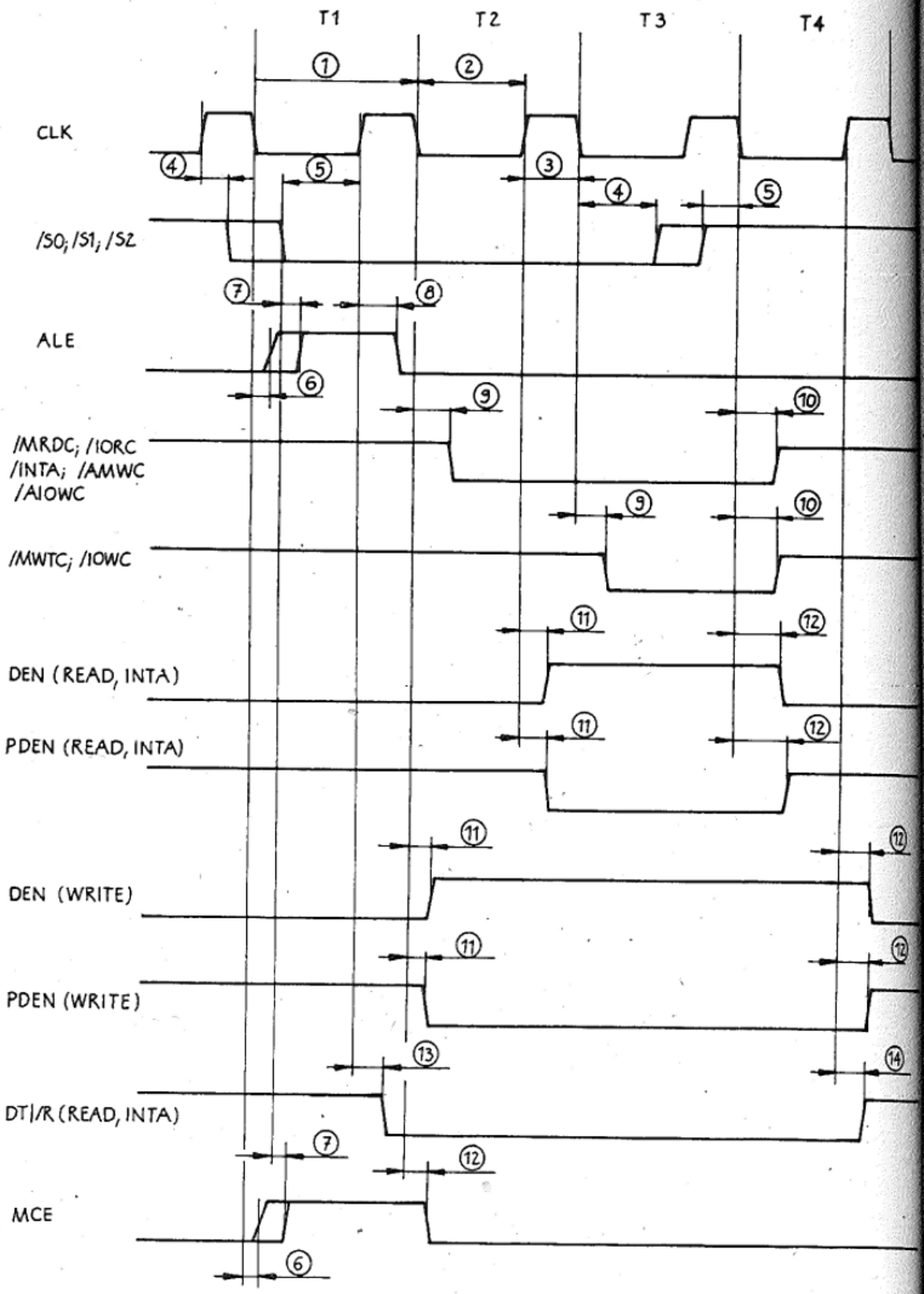
Pinbelegung



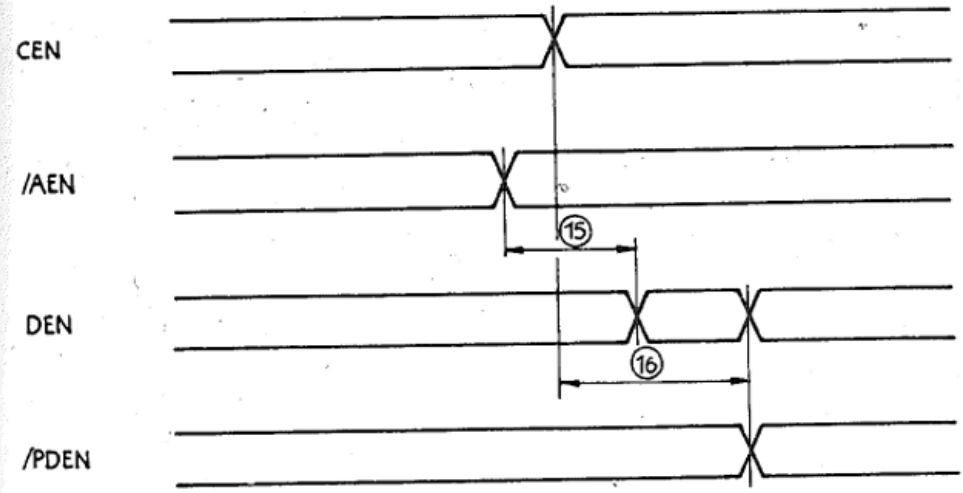


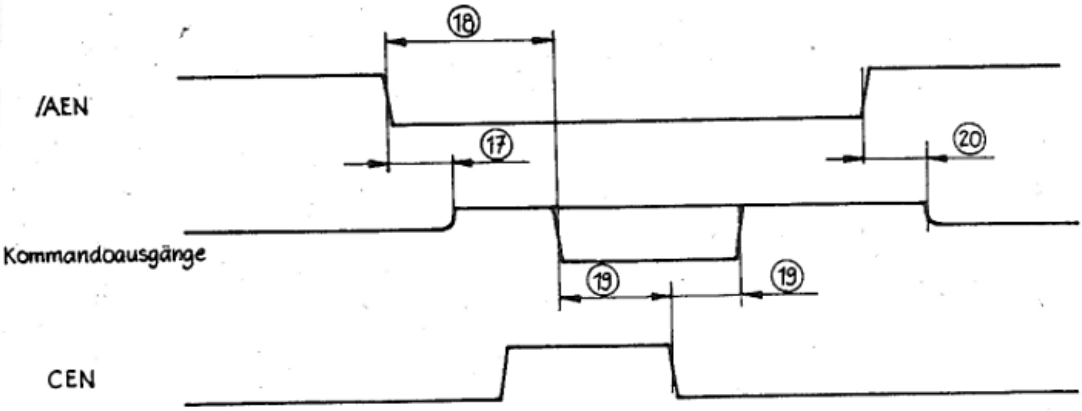
Signale am 8288

Symbol	Typ	Funktion
/S0,/S1,/S2	E	Status-Eingänge von 8086, 8087, 8088 oder 8089, interne pull-up Widerstände, Signale werden zur Erzeugung der Kommando- und Steuersignale im Schaltkreis dekodiert
CLK	E	Takteingang, Takt muß dem an CPU entsprechen
ALE	A	Adressübernahmesignal, H-aktiv, Übernahme sollte mit H - L - Übergang erfolgen (vorzugsweise für transparente D-Latches)
DEN	A	Dateneinschaltsignal, H-aktiv, kann zum Einschalten der Datentreiber verwendet werden
DT|/R	A	Datenrichtungssteuersignal H : CPU sendet Daten aus (Schreiben) L : CPU empfängt Daten (Lesen)
/AEN	E	Steuerung der Kommandoausgänge im Systembusmodus H : Kommandoausgänge hochohmig (nur im Systembusmodus) L : Kommandoausgänge aktiv
CEN	E	Steuerung der Ausgänge H : Kommando- und Steuerausgänge aktiv L : Kommando- und Steuerausgänge inaktiv
IOB	E	Busbetriebsartauswahl H : I|O-Busmodus L : Systembusmodus
/AIOWC	A	frühes I|O-Schreibkommando (Zeitverlauf entspricht dem I|O-Lesekommando)
/IOWC	A	I|O-Schreibkommando
/IORC	A	I|O-Lesekommando
/AMWC	A	frühes Speicher-Schreibkommando (Zeitverlauf entspricht dem Speicher-Lesekommando)
/MWTC	A	Speicher-Schreibkommando
/MRDC	A	Speicher-Lesekommando
/INTA	A	Unterbrechungsannahmesignal, zeigt an, daß der Unterbrechungsvektor auf den Datenbus (D0-D7) zu legen ist
MCE|/PDEN	A	IOB=0: MCE erscheint während Unterbrechungsannahme und dient zum Lesen einer Kaskadenadresse von einem PIC IOB=1: /PDEN ist Dateneinschaltsignal für peripheren Datenbus (Funktion, die DEN für Systembus hat)



8288 – Zeitverhalten





8288 - Zeitverhalten

Dynamische Kennwerte des 8288

Symbol	Parameter	Min	Max	Einheit
1	Taktperiode	100		ns
2	Takt - L - Zeit	50		ns
3	Takt - H - Zeit	30		ns
4	Status-Voreinstellzeit	35		ns
5	Status-Haltezeit	10		ns
6	Takt zu ALE|MCE-Einschaltzeit		20	ns
7	Status zu ALE|MCE-Einschaltzeit		20	ns
8	ALE-Ausschaltzeit	4	15	ns
9	Kommando-Einschaltzeit	10	35	ns
10	Kommando-Ausschaltzeit	10	35	ns
11	Steuersignal-Einschaltzeit	5	45	ns
12	Steuersignal-Ausschaltzeit	10	45	ns
13	DT|/R-Einschaltzeit		50	ns
14	DT|/R-Ausschaltzeit		30	ns
15	AEN zu DEN Verzögerung		20	ns
16	CEN zu DEN|PDEN Verzögerung		25	ns
17	Kommandosignal-Zuschaltzeit		40	ns
18	Kommandosignal-Einschaltzeit	115	200	ns
19	CEN zu Kommando-Verzögerung		35	ns
20	Kommandosignal-Abschaltzeit		40	ns

Statische Kennwerte des 8288

Symbol	Parameter	Min	Max	Einheit	Testbedingung
V_{CC}	Betriebsspannung	4,5	5,5	V	$0°C \leq T_A \leq 70°C$
I_{CC}	Betriebsstrom		270	mA	
V_{IL}	Eingangsspannung L		0,8	V	
V_{IH}	Eingangsspannung H	2,0		V	
I_F	Eingangsstrom H		50	µA	$V_{IH} = V_{CC}$
I_R	Eingangsstrom L		-0,7	mA	$V_{IL} = 0,45$ V
V_{OH}	Ausgangsspannung H bei Kommandoausgängen	2,4		V	$I_{OH} = 5$ mA
	Ausgangsspannung H bei Steuersignalausgängen	2,4		V	$I_{OH} = 1$ mA
	Ausgangsspannung L bei Kommandoausgängen	0,5		V	$I_{OL} = 32$ mA
	Ausgangsspannung L bei Steuersignalausgängen				$I_{OL} = 16$ mA

82720 GDC – Graphics Display Controller (Steuerschaltkreis für graphische Anzeige)

Der GDC ist ein intelligenter Mikroprozessorperipherie-IC, um hochleistungsfähige, in Raster zerlegte Computergrafiken zu generieren und um Zeichen-CRT-Monitore zu betreiben.

Der GDC, der sich zwischen dem Videoanzeigespeicher und einem Mikroprozessor-Bus befindet, führt die Aufgaben aus, die zum Generieren der Rasteranzeige und zur Bedienung des Anzeigespeichers nötig sind.

Ein bestimmter Befehlssatz minimiert das grafische Figurenzeichnen und die DMA-Transferfähigkeit.
Der durch den GDC gesteuerte Anzeigespeicher kann in beliebiger Anzahl von Formaten in Größen bis zu 256 mit 16 Bit Worten konfiguriert werden. Die Anzeige kann vergrößert werden, während einzelne Bildschirmflächen unabhängig gerollt oder geschwenkt werden können.

Er besitzt auch Lichtstiftanschluß.

Der GDC arbeitet in 3 Grundbetriebsarten:

- Grafikmode
- Zeichenmode
- gemischter Mode

Um den Systembus so wenig wie möglich zu belasten, verwendet der GDC einen sogenannten privaten Videospeicher (Bildwiederholspeicher). Es können 512 KB Videospeicher betrieben werden. Damit ist es möglich, ein Bild von 2048 x 2048 Bit zu speichern.

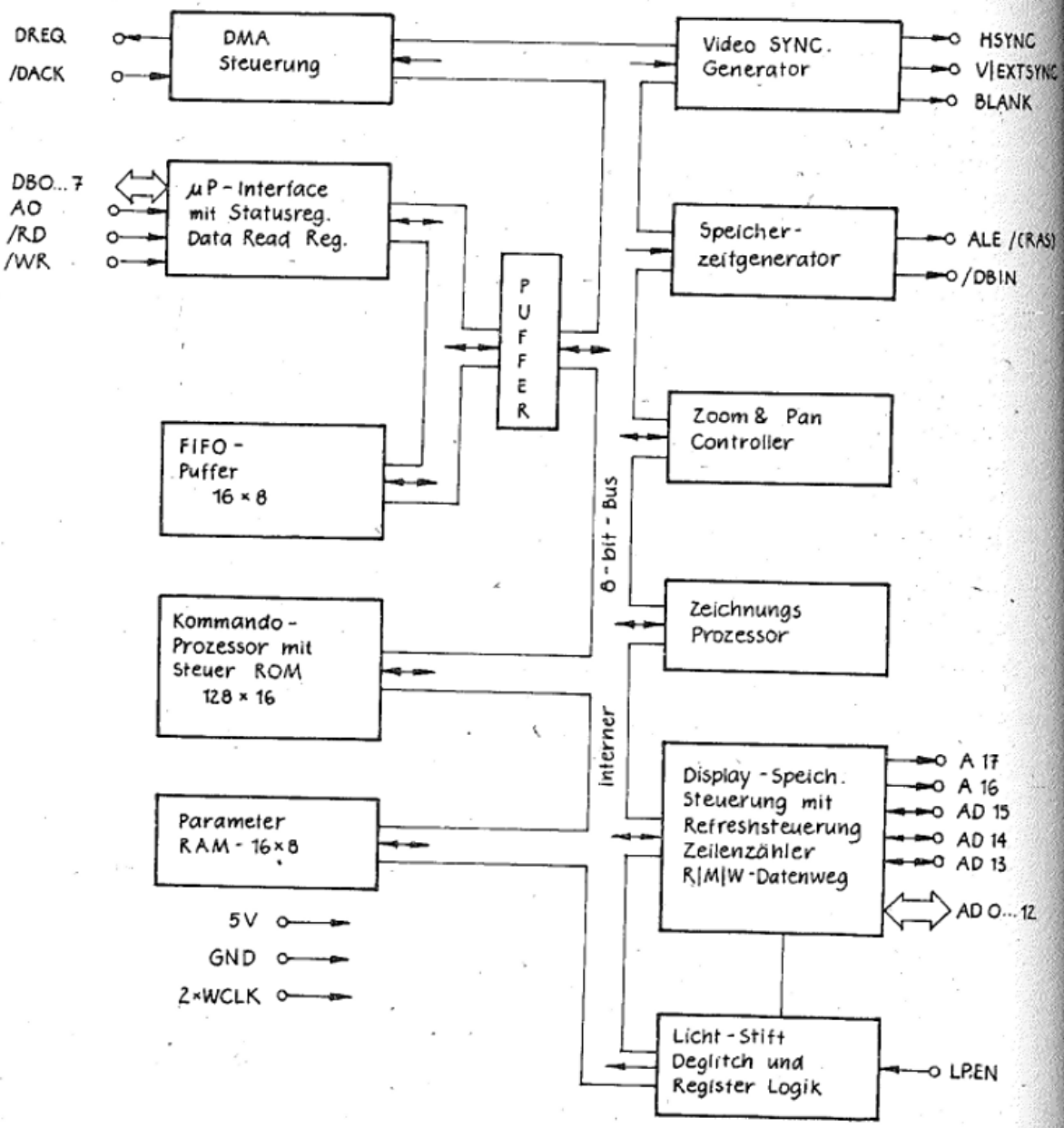


Abb. 1 Blockschaltbild

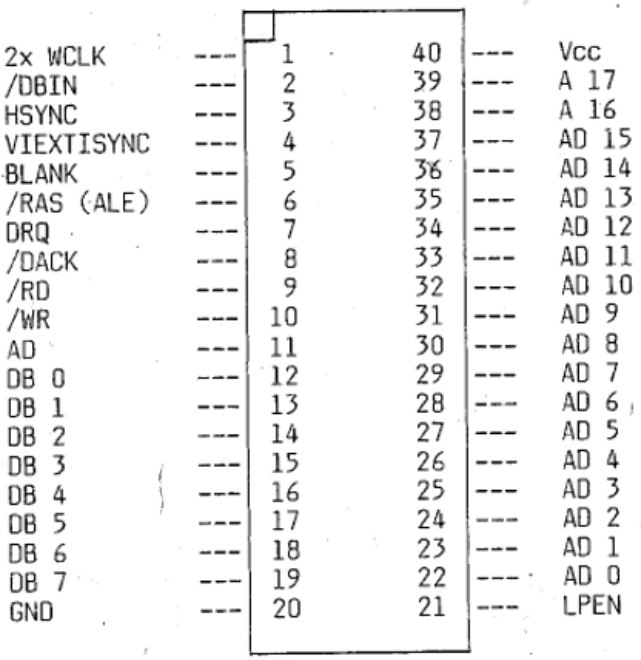


Abb. 2 Anschlußbelegung

Beschreibung der Anschlüsse

Symbol	Anschluß-Nr.	Typ	Name und Beschreibung
2 x WCLK	1	E	Takteingang
/DBIN	2	A	Display-BUS-Input: Der Lesestrobeausgang wird benutzt, um die Anzeigespeicherdaten in den GDC einzulesen.
HSYNC	3	A	Horizontal Sync.: Es wird der Horizontalrücklauf des CRT-Monitors gesteuert.
V|EXT| SYNC	4	E|A	Vertikal Sync.: Vertikalrücklauf der CRT-Anzeige wird gesteuert. Im Slave-Mode wird er als Eingang benutzt, um den GDC mit Masterschaltkreis, der das Zeitraster liefert, zu synchronisieren.
BLANK	5	A	Blank: Das Videosignal wird unterdrückt.
/RAS (ALE)	6	A	ROW-Adress-Strobe (Address-Latch-Enable): Die Steuerzeitkette kann gestartet werden, wenn dynamische RAM's benutzt werden. Bei Verwendung statischer RAM's wird dieses Signal benutzt, um den Anzeigeadress-Datenbus zu demultiplexen.

DRQ	7	A	DMA-Request: Es kann ein DMA-Transfer von einem DMA-Controller (8237) oder vom E|A-Prozessor (8089) angefordert werden.
/DACK	8	E	DMA-Acknowledge: Es wird ein DMA-Transfer von einem DMA-Controller oder E|A-Prozessor bestätigt.
/RD	9	E	Read: Es werden GDC-Daten in den Mikroprozessor übertragen.
/WR	10	E	Write: Es werden Mikroprozessor-Daten in den GDC übertragen.
A_0	11	E	Register Address: Es wird zwischen Kommandos und Daten, die gelesen oder geschrieben werden, ausgewählt.
DB0...DB7	12...19	E|A	Bidirektionaler Datenbus des Mikroprozessors Eingänge, aktiviert durch WR Ausgänge, aktiviert durch RD
GND	20		Ground: Masse
V_{CC}	40		+ 5 V Betriebsspannung
A_{17}	39	A	Grafikmode: Anzeigeadresse Bit 17-Ausgang Zeichenmode: Kursorausgang/Zeilenzähler gemischter Mode: Kursor und Bildmodeflag
A_{16}	38	A	Grafikmode: Bit 16-Anzeigeadresse Zeichenmode: Ausgang, Zeilenzähler Bit 3 gemischter Mode: Attribut "Blink" und Zeilenzähler rücksetzen
AD_{15}, AD_{14}, AD_{13}	37,36,35	E|A	Grafikmode: Anzeigeadresse|Daten-Bits 13-15 Zeichenmode: Zeilenzähler Bits 0-2 Ausgänge gemischter Mode: Anzeigeadr.|Daten-Bits 13-15
AD_{12}...AD_0	34...22	E|A	Anzeige-Adress|Datenbits 0-12
LPEN	21	E	Ligth-Pen-Dedect-Input: Lichtstiftnachweiseingang

Beschreibung des Blockschaltbildes (Abb.1)

Interface zum Mikroprozessorbus

Die Steuerung des GDC erfolgt über ein 8-Bit-bidirektionales Interface.
Das Statusregister ist zu beliebiger Zeit lesbar.
Der Zugriff zum FIFO-Puffer wird durch Flags des Statusregisters koordiniert.

Kommandoprozessor

Der Inhalt des FIFO wird durch den Kommandoprozessor interpretiert. Das Kommandobyte wird dekodiert und die folgenden Parameter werden zu ihren richtigen Bestimmungsorten innerhalb des GDC verteilt. Das Businterface hat die Priorität gegenüber dem Kommandoprozessor, wenn beide gleichzeitig auf den FIFO zugreifen.

DMA-Steuerung

Sie koordiniert den Datentransfer, wenn ein externer DMA-Controller benutzt wird. DMA-Anforderungs- und Anerkennungsleitungen sind direkt an den DMA-Controller oder den I|O-Prozessor anschließbar, so daß die Anzeigedaten zwischen dem Mikroprozessorspeicher und dem Anzeigespeicher bewegt werden können.

Parameter-RAM

Der 16 Byte RAM speichert die Parameter, die während der Anzeige- und Zeichnungsprozesse wiederholt benutzt werden.
Im Zeichenmode enthält der RAM 4 Sätze der aufgeteilten Anzeigeflächenparameter. Im Grafikmode enthält der RAM die Zeichnungsmuster und grafische Zeichen.

Video-Synchrongenerator

Basierend auf dem Takteingang, generiert die Synchronlogik das Rasterzeitsignal für fast jedes Videoformat: Verfahren mit und ohne Zeilensprung oder das "repeat field"-Verfahren.
Der Generator wird während der passiven Periode, die einem RESET folgt, programmiert. Er koordiniert das zeitliche Zusammenspiel zwischen dem GDC und den anderen Videoquellen, wenn er im Videosynchron-Slavemode arbeitet.

Speicher-Zeitgenerator

Der Speicher-Zeitgenerator liefert zwei Typen von Speicherzyklen:
Einen Zwei-Taktperioden-Refreshzyklus und den "Read-Modify-Write (RMW)" Zyklus, der 4 Taktperioden benötigt.
Die Speichersteuersignale, die zum Betreiben einer Anzeigespeichereinheit benötigt werden, werden von den Ausgangssignalen des GDC, /RAS(ALE) und /DBIN generiert.

ZOOM- und PAN-Controller (Vergrößerungs- und Verschiebesteuerung)

Basierend auf dem programmierbaren ZOOM-Anzeigefaktor und den Anzeigeflächenparametern im Parameter-RAM bestimmt der ZOOM- und PAN-Controller, wann zur nächsten Speicheradresse für einen Displayrefresh überzugehen ist und wann zur nächsten Anzeigefläche zu gehen ist. Ein horizontales Vergrößern wird durch ein Senken der Displayrefreshrate bei gleichbleibenden Videosynchronraten erzeugt.

Ein vertikales Vergrößern wird durch einen wiederholten Zugriff auf jede Zeile entsprechend der Anzahl der horizontalen Wiederholungen ausgeführt.
Ist einmal die Linienzahl für ein Anzeigefeld überschritten, so greift der Controller auf die Startadresse und die Zeilenzahl des nächsten Anzeigefeldes des Parameter-RAM zu.

Der Systemmikroprozessor erlaubt durch Modifizieren der Startadresse des Anzeigefeldes ein Schwenken, unabhängig von den anderen Anzeigefeldern, in beliebiger Richtung.

Zeichnungsprozessor

Der Zeichnungsprozessor enthält die notwendige Logik, um die Adressen und Pixelpositionen der verschiedenen grafischen Figuren zu berechnen. Sind einmal ein Startpunkt und die entsprechenden Zeichnungsparameter gegeben, so benötigt der Zeichnungsprozessor keine weiteren Hilfen, um die Figurenzeichnung zu komplettieren.

Anzeigespeicher-Controller

Sein Hauptzweck ist es, die Adress- und Dateninformationen in und aus dem Anzeigespeicher zu multiplexen. Er enthält ebenfalls die 16-Bit-Logikeinheit, die benutzt wird, um den Anzeigespeicherinhalt während eines RAM-Zyklus zu modifizieren. Desweiteren enthält er den Zeilenzähler für den Zeichenmode und den Refreshzähler für dynamische RAM's.
Der Speichercontroller steuert das Videozeitverhalten der verschiedenen Zyklustypen.

Lichtstiftentprellung

Nur wenn zwei steigende Flanken an demselben Bildschirmpunkt während aufeinanderfolgender Strahldurchläufe am Lichtstifteingang eintreffen, werden diese Impulse als ein gültiges Lichtstiftsignal akzeptiert. Ein Statusbit zeigt dem Systemmikroprozessor, daß das Lichtstiftregister eine gültige Adresse enthält.

Die Programmierung des GDC

Der GDC belegt 2 Adressen auf dem Mikroprozessorsystembus, über die zum Statusregister und zum FIFO des GDC zugegriffen wird. Kommandos und Parameter werden in den FIFO geschrieben und durch das Adressbit A_0 unterschieden.

A_0	Lesen	Schreiben
0	Statusregister	Parameter in den FIFO
1	FIFO-Puffer	Kommando in den FIFO

Abb. 3 Interface-Register zwischen GDC und Mikroprozessor-Bus

Das Statusregister oder der FIFO können gelesen werden, je nach Wahl der Adresse A_0. Kommandos zum GDC besitzen die Form eines Kommandobytes, dem eine Anzahl Parameterbytes folgen, je nachdem, wieviel für die Spezifizierung der Details des Kommandos erforderlich sind. Der (interne) Kommandoprozessor entschlüsselt die Kommandos, nimmt die Parameter aus dem FIFO, lädt sie in die entsprechenden Register innerhalb des GDC und startet die geforderten Operationen. Die Kommandos, die im GDC verfügbar sind, können, wie in Abb. 4 beschrieben, in 5 Kategorien untergliedert werden.

Video-Steuerkommandos:

1. RESET: Setzt den GDC in seinen Grundzustand
2. SYNC: Spezifiziert das Video-Anzeigeformat
3. VSYNC: Wählt den Master- oder Slavevideosynchronisationsmode aus
4. CCHAR: Spezifiziert den Kursor und die Zeichenhöhe

Anzeige-Steuerkommandos:

1. START : Beendet den Grundzustand und beschreibt den Bildschirm (Anzeige)
2. BCTRL: Steuert das Löschen oder Nichtlöschen des Bildschirmes
3. ZOOM: Spezifiziert die ZOOM-Faktoren für die Anzeige und das Schreiben graphischer Zeichen
4. CURS: Setzt die Kursorposition im Anzeigespeicher
5. PRAM: Definiert Startadressen und Längen der Anzeigefelder und spezifiziert die 8 Bytes für graphische Zeichen
6. PITCH: Spezifiziert die Größe der X-Richtung im Anzeigespeicher

Zeichnungssteuerkommandos:

1. WDAT: Schreibt Datenworte oder -bytes in den Anzeigespeicher
2. MASK: Setzt den Inhalt des Maskenregisters
3. FIGS: Spezifiziert die Parameter für den Zeichnungsprozessor
4. FIGD: Zeichnet die Figur, die eben spezifiziert wurde
5. GCHRD: Zeichnet das graphische Zeichen auf die Anzeige

Speicherdaten-Lesekommandos

1. RDAT: Liest die Datenworte oder -bytes vom Anzeigespeicher
2. CURD: Liest die Kursorposition
3. LPRD: Liest die Lichtstiftadresse

DMA-Steuerkommandos

1. DMAR: Fordert einen DMA-Lesevorgang
2. DMAW: Fordert einen DMA-Schreibvorgang

Abb. 4 siehe dazu Abb. 5 auf Seite 126

Kodierung der Steuerkommandobytes

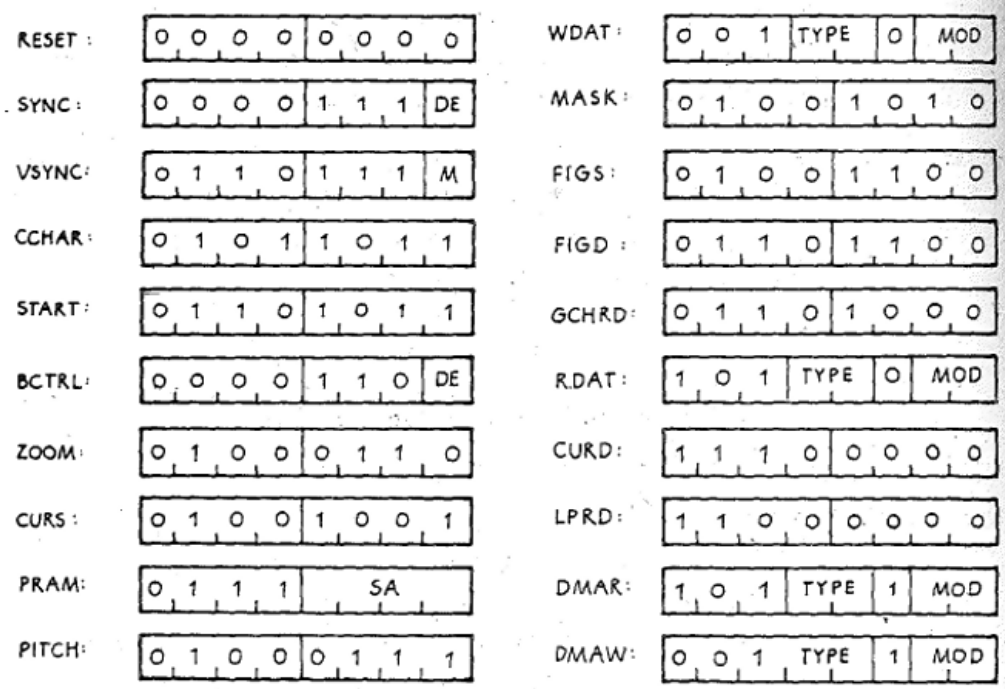


Abb. 5

FIFO-Puffer!

Mit dem 16 Byte "first in, first out"-Puffer (FIFO) im GDC wird der Kommandodialog mit dem System-µP realisiert. Dieser Informationsfluß nutzt beide Datenflußrichtungen des FIFO, die über den GDC-Kommandosatz gesteuert werden. Der µP koordiniert diese Übertragungen durch Abfragen der entsprechenden Bits im Statusregister.
Jeder Kommandodialog besteht aus dem Operationscode (1.Byte) und Parametern (2. bis max. 15.Byte). Der Empfang eines Kommandobytes durch den GDC markiert stets das Ende irgendeiner vorhergehenden Operation bzw. Eingabe.
Jedes in den GDC geschriebene Kommando bringt den FIFO in die Betriebsart "Schreiben", falls er nicht schon in dieser war. Wenn er in der Betriebsart "Lesen" war, sind sämtliche Daten die im FIFO waren, verloren.

Kommandos, wie z.B. RDAT, CURD und LPRD, die eine Antwort des GDC erfordern, bringen den FIFO in die Betriebsart "Lesen".
Kommandos und Parameter nach dem leseauslösenden Kommando werden zerstört, wenn die FIFO-Richtung geändert wird.

Parameter-RAM!

Die Parameter, die im Parameter-RAM (PRAM) gespeichert wurden, stehen dem GDC zur Verfügung, um während des Figurenzeichnens und Rasterabtastens wiederholt

darauf zurückzugreifen.
Das PRAM-Ladekommando erlaubt es dem Wirtsrechner, in eine beliebige Zelle des PRAM's Daten zu schreiben und so viele Bytes, wie gewünscht, zu übertragen oder zu ändern.

Der PRAM speichert 2 Arten von Informationen. Für die Spezifizierung einzelner Abschnitte des Anzeigefeldes werden Bereiche von 4 Byte Länge verwendet. Diese 4 Parameter, die in jedem Block gespeichert sind, umfassen die Startadresse des Anzeigespeichers von jedem Anzeigefeld und seine Länge. Zusätzlich gibt es 2 Betriebsartenbits für jedes Feld, die spezifizieren, ob das Feld ein bit-mapped Grafikfeld oder ein Feld codierter Zeichen ist und ob ein 16-Bit oder 32-Bit breiter Anzeigezyklus für jenes Feld anzuwenden ist.

Die andere Anwendung des PRAM's ist die Bereitstellung von Mustern für das Zeichnen von Figuren, wenn der GDC im bit-mapped Grafikfeld oder Grafikmode ist. Dabei sind die PRAM-Bytes 8-16 für diese Musterinformation reserviert. Für das Zeichnen von Linien, Bögen und Rechtecken (Linearen Figuren) werden die Zellen 8 und 9 in das Musterregister geladen, um dem GDC das Zeichnen von gepunkteten, gestrichelten usw. Linien zu erlauben. Für das Füllen von Feldern und Zeichnen von grafischen bit-mapped Zeichen wird auf die PRAM-Zellen 8-15 zurückgegriffen.

Beschreibung der Statusflags

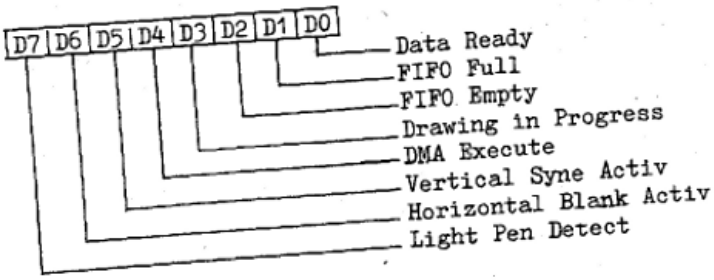


Abb. 6 Statusregister (SR)

SR-7: Light Pen Detect: (Lichtstift erkannt)

Wenn dieses Bit auf "1" gesetzt ist, enthält das Lichtstiftadress-register (LAD) einen "glitsch"-freien Wert, den der Systemmikroprozessor lesen darf. Dieses Flag wird rückgesetzt, nachdem der 3-Byte-LAD-Wert als Antwort auf das Lichtstiftlesekommando in den FIFO geschoben wurde.

SR-6: Horizontal Blauk Activ: (Horizontaldunkeltastung aktiv)

Ist dieses Bit auf "1" gesetzt, ist die Dunkeltastung des Horizontalrücklaufs aktiv.

SR-5: Vertical Sync Activ: (Vertikalsynchronisation aktiv)

Ist dieses Bit auf "1" gesetzt, wird die vertikale Rücklaufsynchronisation ausgeführt. Ferner koordiniert dieses Flag anzeigeformatmodifizierende Kommandos hinsichtlich des Vertikalsynchronsignals. Dies eliminiert Anzeigestörungen.

SR-4: DMA Execute: (DMA-Ausführung)

Ist dieses Bit auf "1" gesetzt, wird DMA-Transfer ausgeführt.

SR-3: Drawing in Progress: (Zeichenvorgang läuft)

Ist dieses Bit auf "1" gesetzt, zeichnet der GDC eine grafische Figur.

SR-2: FIFO Empty: (FIFO leer)

Dieses Bit und das FIFO-Full-Flag koordinieren die Zugriffe des Systemmikroprozessors zu dem GDC-FIFO.
Wenn es "1" ist, garantiert das FIFO-Empty-Flag, daß alle Kommandos und Parameter, die vorher zum GDC gesendet wurden, abgearbeitet worden sind.

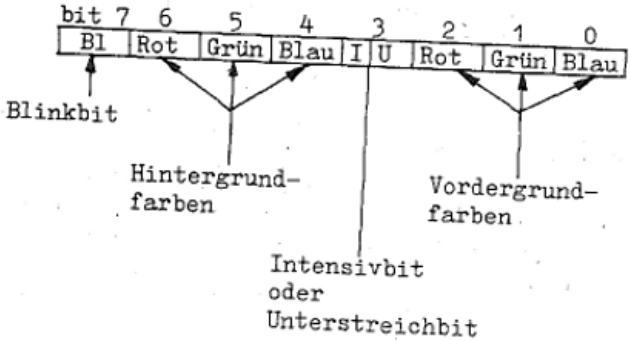
SR-1: FIFO Full: (FIFO voll)

Ist dieses Bit auf "1" gesetzt, zeigt es an, daß der GDC-FIFO voll ist. Eine "0" garantiert, daß für mindestens ein Byte Platz vorhanden ist. Vor jedem Schreiben in den GDC ist es notwendig, daß dieses Flag geprüft wird.

SR-0: Data Ready: (Daten bereit)

Ist dieses Bit auf "1" gesetzt, zeigt es an, daß ein vom Systemmikroprozessor zu lesendes Byte verfügbar ist. Dieses Bit muß vor jeder Leseoperation getestet werden. Es wird "0", während die Daten vom FIFO in das Datenregister des Mikroprozessorinterfaces transportiert werden.

Das Attributbyte (analog IBM)



Das Attributbyte wird bei Zeichenmode gebildet.
Es ist jedem Zeichen zugeordnet und wird mit jedem Zeichen abgefragt.

Der Zeichensatz

Zur Zeit: 2K x 8 EPROM als Zeichengenerator (128 Zeichen fest)
später: 8K x 8 EPROM als Zeichengenerator (512 Zeichen fest)

Das Zeichnen grafischer Zeichen

Zeichnungstyp	DC	D	D2	D1	DM
Anfangswert (x)	0	8	8	-1	-1
Linie	$\lvert\Delta I\rvert$	$2\lvert\Delta D\rvert-\lvert\Delta I\rvert$	$2(\lvert\Delta D\rvert-\lvert\Delta I\rvert)$	$2\lvert\Delta D\rvert$	-
Bogen (xx)	$r\cdot\sin 0\uparrow$	r-1	2(r-1)	-1	$r\cdot\sin\Phi\downarrow$
Rechteck	3	A-1	B-1	-1	A-1
Feld füllen	B-1	A	A	-	-
grafisches Zeichen (xxx)	B-1	A	A	-	-
Datenlesen + -schreiben	W-1	-	-	-	-
DMA W	D-1	C-1	-	-	-
DMA R	D-1	C-1	(C-1)|2	-	-

(x) Anfangswert für die verschiedenen Parameter werden während der Behandlung des FIGS-Op-Codebytes geladen.

(xx) Kreise werden mit Bögen, die je 45° überspannen, gezeichnet, so daß $\sin 0 = 1/\sqrt{2}$ und $\sin\vartheta = 0$ sind.

(xxx) Grafische Zeichen sind ein Spezialfall des Bit-Map-Feldfüllens, in dem A und B ≤ 8 sind. Falls A = 8 ist, gibt es keine Notwendigkeit D und D2 zu laden.

Es gilt: -1 = alle Werte = 1

Alle Zahlen sind aus Bequemlichkeitsgründen auf der Basis 10 dargestellt. Der GDC akzeptiert jedoch Zahlen auf der Basis 2 (Zweierkomplement), wo geeignet.

Erklärung der Kurzzeichen

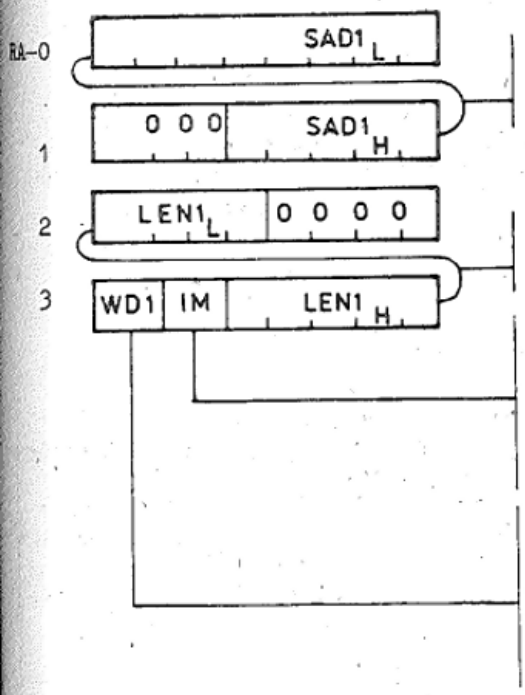
- = kein Parameterbyte für diesen Parameter des GDC erforderlich
ΔI = der Größere von ΔX oder ΔY (abhängig von Achsen)
ΔD = der Kleinere von ΔX oder ΔY (unabhängig von Achsen)
r = Radius in Pixeln
Φ = Winkel zwischen größerer Achse und Ende beim Bogen $\Phi \leq 45^\circ$
ϑ = Winkel zwischen größerer Achse und Anfang beim Bogen $\vartheta \leq 45^\circ$
$\uparrow$ = Aufrunden zum nächsten Ganzzahligen
$\downarrow$ = Abrunden zum nächsten Ganzzahligen
A = Anzahl der Pixel in die anfangs spezifizierte Richtung
B = Anzahl der Pixel, rechtswinklig zu der anfangs spezifizierten Richtung
W = Anzahl der Worte, auf die zugegriffen wird

C = Anzahl der Bytes, die in die anfangs spezifizierte Richtung zu übertragen sind (zwei Bytes pro Wort, falls Worttransfermode ausgewählt wurde)
DC = Zeichnungsparameterzahl, die 1 weniger ist, als die Anzahl der RMW-Zyklen, die auszuführen sind.
DM = Punkte, die während des Bogenzeichnens maskiert sind
# = nur bei Wortlesen erforderlich

Kurzzeichenübersicht zu den Seiten 131 bis 143

A Bogen/Kreis
AL Aktive Anzeigezeilen pro Videofeld
AW Aktive Anzeigeworte pro Zeile -2
BR Blinkrate
CAD Kursoradresse
CBOT Unterste Zeilennummer des Kursors in der Reihe
CTOB Höchste Zeilennummer des Kursors in der Reihe
dAD Punktadresse
DC Kursoranzeige
DISP Anzeige-ZOOM-Faktor -1
EAD Ausführungs-Wortadresse
GE Grafikzeichen
GCHR ZOOM-Faktor für Grafikzeichen -1
H Höchste Byte
HBP Breite der hinteren Schwarzschulter -1 der Horizontalimpulse
HFP Breite der vorderen Schwarzschulter -1 der Horizontalimpulse
HS Horizontalsynchronimpuls (Breite)
L 1. Niedrigstes Byte. 2. Linie
LEN Länge
LR Zeilen pro Zeichenreihe -1
LSB Niedrigstes Bit
M Mittleres Byte
MSB Höchstes Bit
PTN Für das Zeichnen von Figuren mit gepunkteten, gestrichelten usw. Linien
R Rechteck
RMW "Read-Modify-Write"-Zyklus
SA Startadresse im Parameter-Ram (PRAM)
SAD Startadresse im Anzeigefeld
SC Blinkender Kursor
SL Schräge Grafikzeichen
VBP Breite der hinteren Schwarzschulter der Vertikalimpulse
VFP Breite der vorderen Schwarzschulter der Vertikalimpulse
VS Vertikalsynchronimpuls (Breite)
DIR Richtungswert
FIGD Zeichenkommando für Figuren

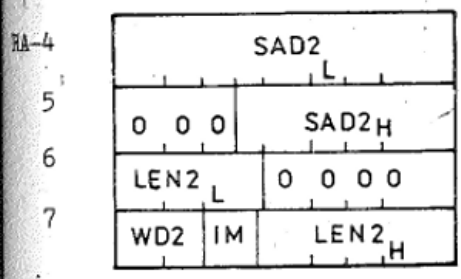
Details der Bitzuweisungen werden für die verschiedenen Betriebsarten auf den folgenden Seiten gezeigt



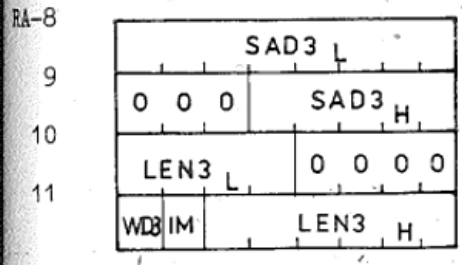
Startadresse mit nieder- und höherwertigem Feld (Wortadresse) des Anzeigefeldes 1.

Länge des Anzeigefeldes 1 (Zeilenanzahl) mit nieder- und höherwertigem Feld.

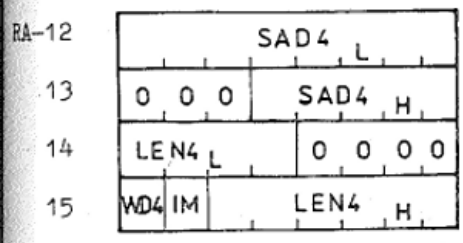
Das Image-Bit beeinflußt die Arbeitsweise des Anzeigeadreßzählers im Zeichenmode. Falls das Image-Bit gleich Null ist, wird er nach jedem Lesezyklus um 1 inkrementiert. Falls das Image-Bit gesetzt ist, wird er aller zwei Lesezyklen um 1 inkrementiert.
Wenn dieses Bit auf "1" gesetzt ist, wird eine erweiterte Anzeigezyklusweite von zwei Worten pro Speicherzyklus für dieses Anzeigefeld ausgewählt. Der Anzeigeadreßzähler wird dann um 2 bei jedem Anzeigeabtastzyklus inkrementiert. Andere Speicherzyklustypen werden nicht beeinflußt.



Startadresse und Länge des Anzeigefeldes 2

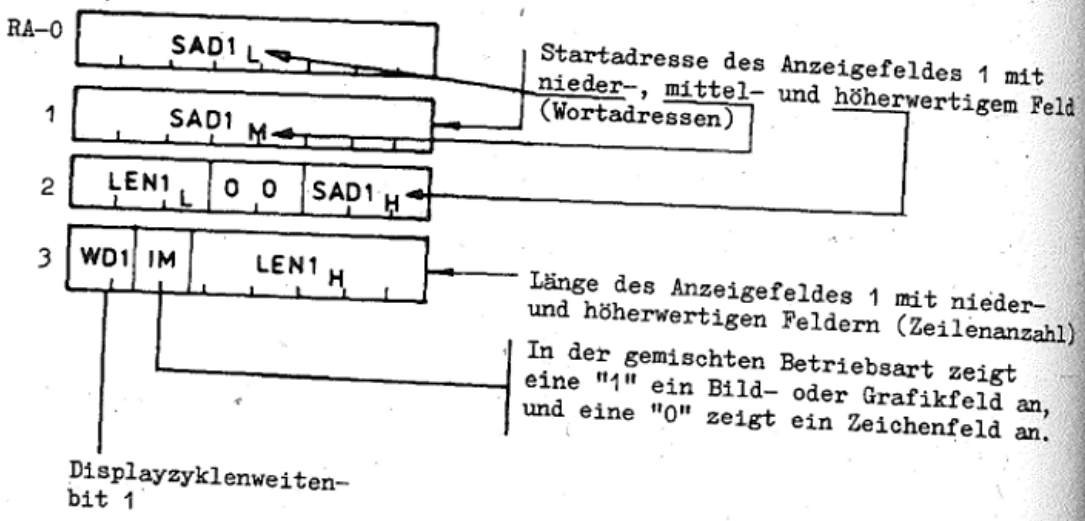


Startadresse und Länge des Anzeigefeldes 3



Startadresse und Länge des Anzeigefeldes 4

Abb. 7: PRAM-Inhalt beim Zeichenmode



Das Image-Bit beeinflußt die Arbeitsweise des Anzeigeadreßzählers im Zeichen- und im Grafikmode.
Wenn das Image-Bit Null ist, wird er nach jedem Lesezyklus um 1 inkrementiert.
Wenn das Image-Bit gesetzt ist, wird er aller zwei Lesezyklen um 1 inkrementiert.

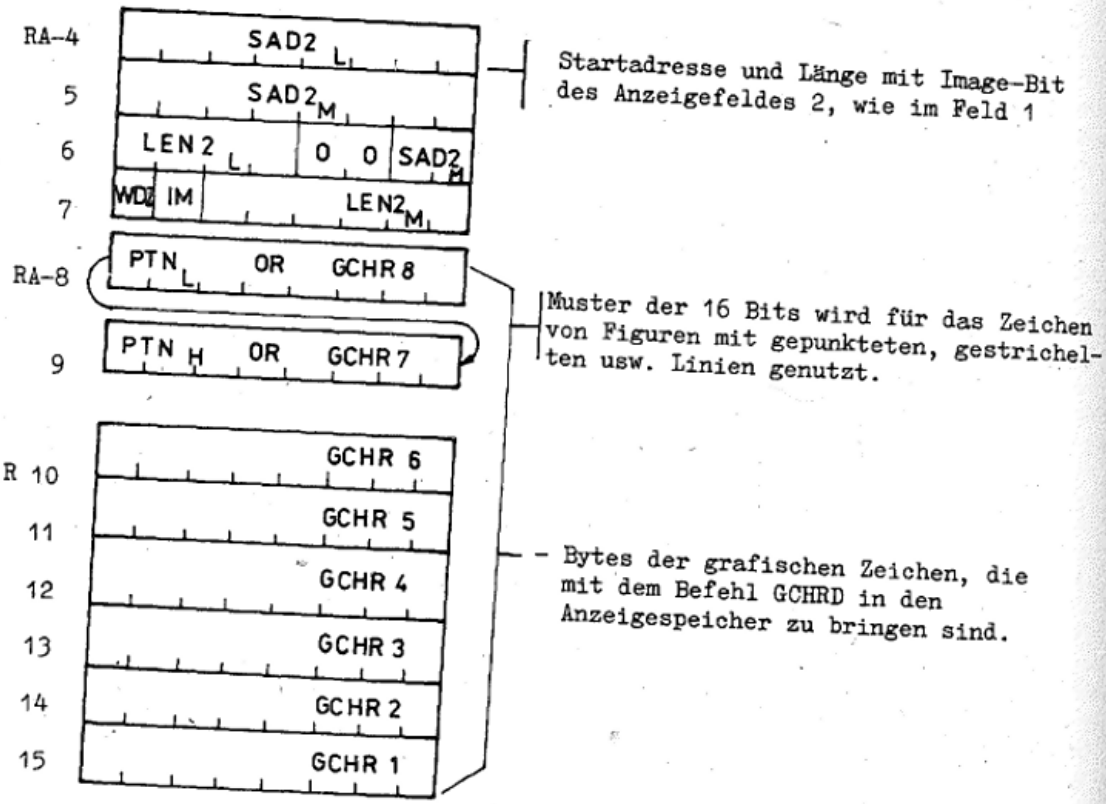


Abb. 8 : Grafik, gemischter Grafik- und Zeichenmode

Video-Steuerkommandos

RESET:	0,0,0,0,0,0,0,0	- Löscht die Anzeige - Übergang in Passivmode - Initalisierung im GDC von FIFO, Kommandoprozessor und internen Zählern

Abb. 9: Rücksetz-Kommando

Rücksetz-Kommando

Dieses Kommando kann zu einer beliebigen Zeit ausgeführt werden und modifiziert keinen der bereits in den GDC geladenen Parameter:

Falls Parameterbytes folgen, setzt dieses Kommando auch die Parameter für den Sync-Generatur. Der Passivmode wird mit dem Kommando "START" beendet.

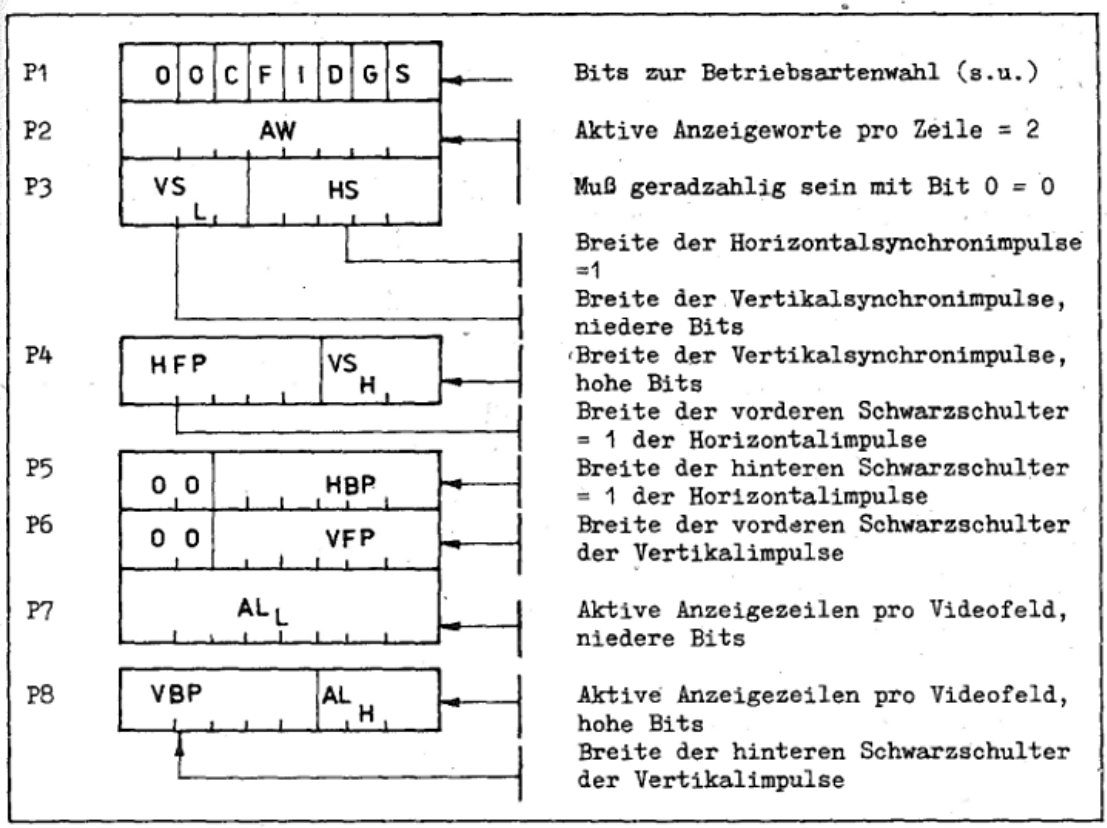


Abb. 10 Wahlweise Rücksetzparameter

Im Grafikmode ist ein Wort eine Gruppe von 16 Pixeln. Im Zeichenmode ist ein Wort ein Zeichencode und seine Attribute, falls vorhanden.
Die Anzahl der aktiven Worte pro Zeile muß eine gerade Zahl von 2 bis 256 sein.

Ein Parameterwert, bei dem alles Nullen sind, wählt eine Zahl 2^n aus, wobei n die Anzahl der Bits in dem Parameterfeld der vertikalen Parameter ist.
Alle horizontalen Breiten werden in Anzeigeworten gezählt. Alle vertikalen Intervalle werden in Zeilen gezählt.

Vorschriften zur Länge der Synchronimpulse

Hintere Schwarzschulter der Horizontalsynchronimpulse:

1. Allgemein:

   HBP ≥ 3 Anzeigewortzyklen (6 Taktzyklen)

2. Falls der IMAGE oder WD-Mode innerhalb eines Videofeldes geändert wird oder im Zeilensprung verfahren.

   HBP = 5 Anzeigewortzyklen (10 Taktzyklen)

I	S	Videoverfahren
0	0	Verfahren ohne Zeilensprung
0	1	ungültig
1	0	"Interlaced repeat field" für Zeichenanzeige
1	1	Zeilensprungverfahren

D	Aktivierung von DRAM-Refreshzyklen
0	kein Refresh = statische RAMs
1	Refresh = dynamische RAMs

F	Zeichenzeitintervall
0	Zeichnen während der Zeit der aktiven Anzeige und des Strahlrücklaufes
1	Zeichnen nur während des Strahlrücklaufes

Abb. 11: Betriebsartenbits

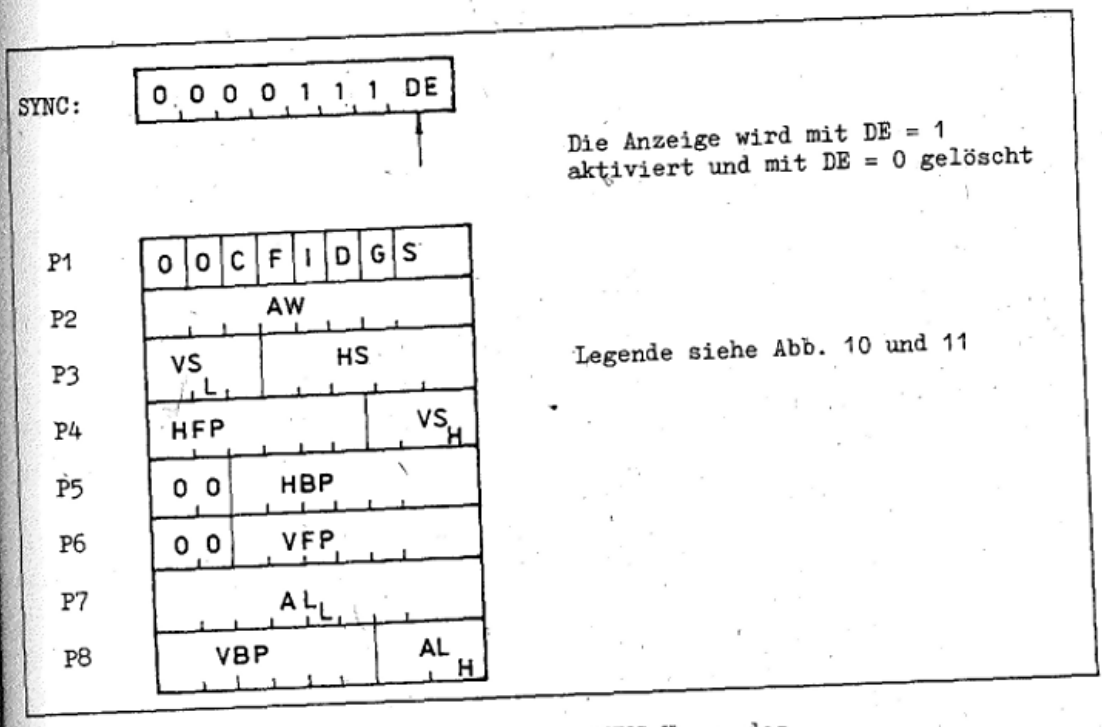


Abb. 12: Format zur Spezifizierung des SYNC-Kommandos

Kommando zur Spezifizierung von Kursor und Zeichen

Im Grafikmode sollte LR auf "0" gesetzt sein. Der Parameter für die Blinkrate steuert sowohl die Blinkrate des Kursors als auch der Attribute. Die Aus- und Einzeit beim Blinken sind gleich (= 2BR).

Die Blinkrate der Attribute ist immer die Hälfte der Kursor-Blinkrate, jedoch mit einem Tastverhältnis von 3:1.

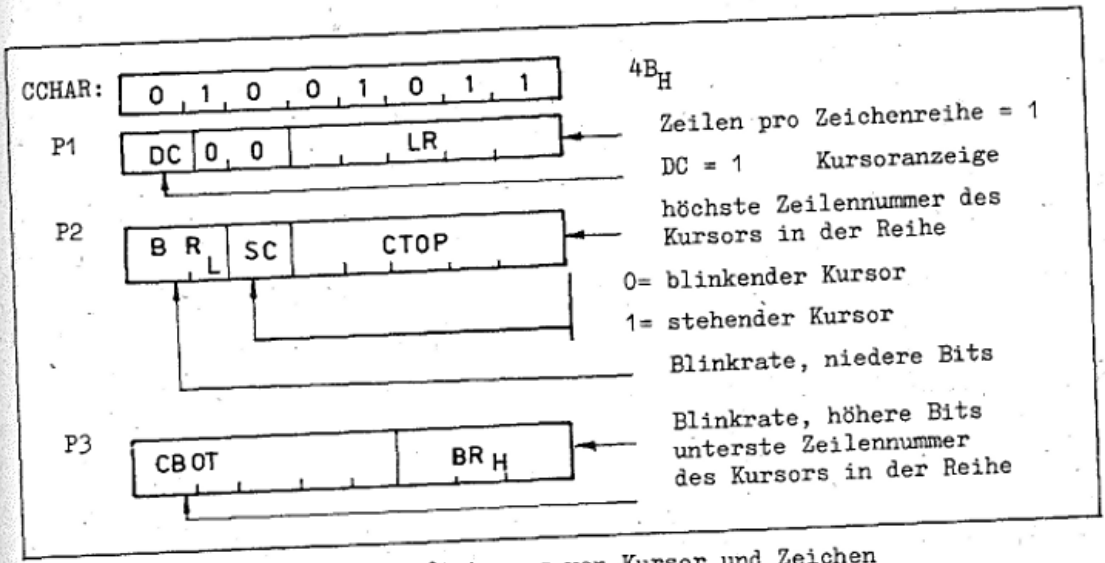


Abb. 13: Kommando zur Spezifizierung von Kursor und Zeichen

Kommando zur Spezifikation des ZOOM-Faktors

Ein ZOOM-Vergrößerungsfaktor von 1 bis 16 ist verfügbar, wobei ein entsprechender Code von 0 bis 15 verwendet wird.

Kommando zur Spezifikation der Kursor-Position

Im Zeichenmode wird das dritte Parameterbyte nicht benötigt. Der Kursor wird zu dem Zeitpunkt angezeigt, bei dem die Anzeigeadresse (DAD) gleich der Kursoradresse ist. Im Grafikmode spezifiziert die Kursorwortadresse das Wort, das das Startpixel der Zeichnung enthält; der Punktadreßwert spezifiziert das Pixel innerhalb des Wortes.

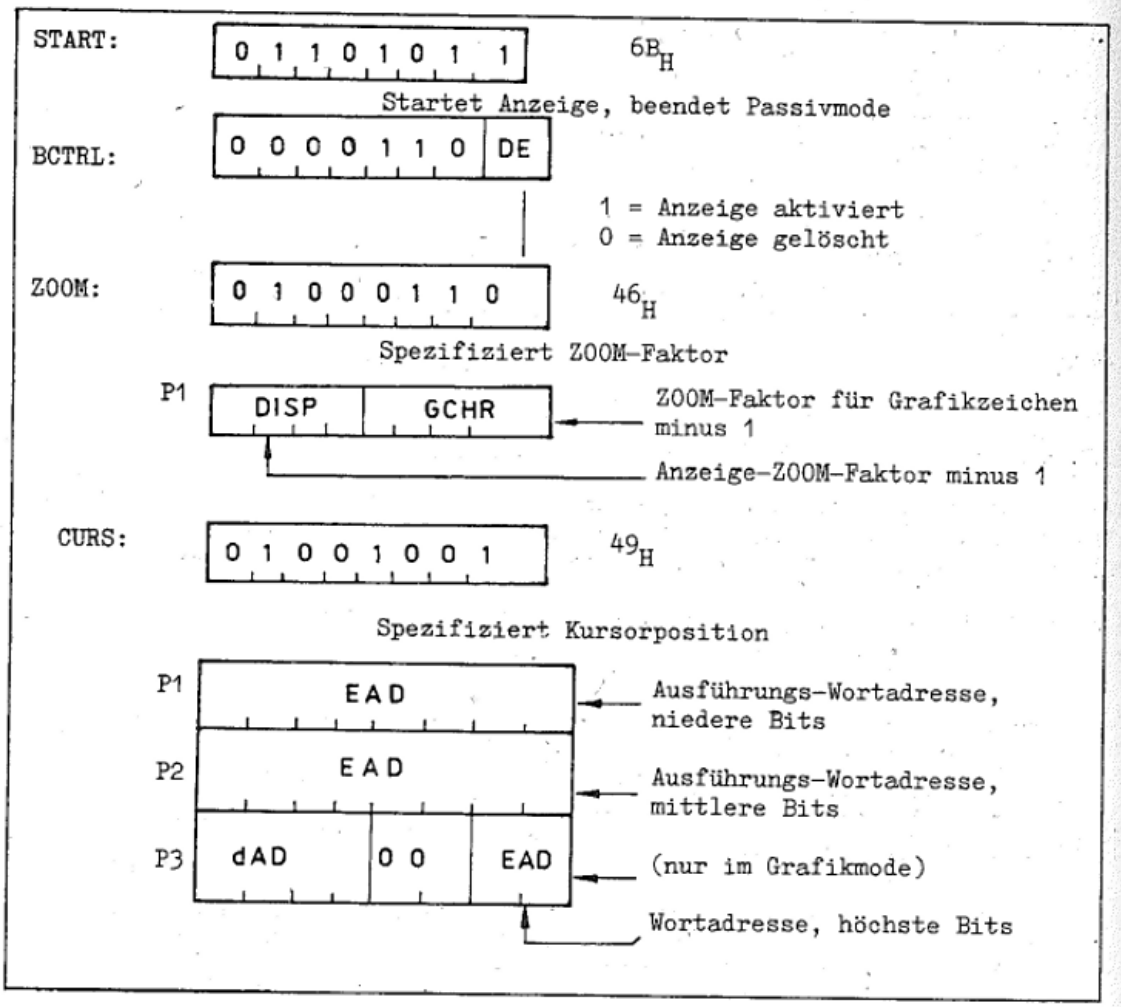


Abb. 14: Kommandos zur Anzeigesteuerung

Kommando zum Laden des Parameter-RAMs

Von der Startadresse, SA, darf eine beliebige Anzahl von Bytes bei inkrementierender Adresse in den Parameter-RAM bis zur Zelle 15 geladen werden. Die Folge der Parameterbytes wird durch das nächste Kommandobyte, das im FIFO eintrifft, begrenzt. Der Parameter-RAM speichert 16 Informationsbytes in vorbestimmten Zellen, die sich bei Grafik- und Zeichenmode unterscheiden (siehe Bitzuordnung für den Parameter-RAM).

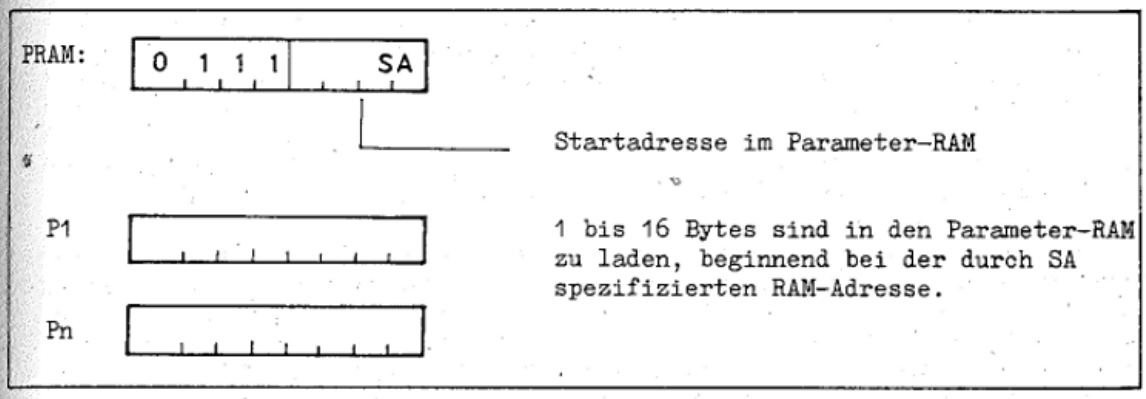


Abb. 15: Laden des Parameter-RAM

Spezifikation des PITCH-Kommandos

Dieser Wert wird während des Zeichnens vom Zeichnungsprozessor verwendet, um das Wort unmittelbar oberhalb oder unterhalb des laufenden Wortes zu finden und um während der Anzeige den Start der nächsten Zeile zu finden.

Der PITCH-Parameter (Breite des Anzeigespeichers) wird durch zwei unterschiedliche Kommandos gesetzt.

Zusätzlich zum PITCH-Kommando setzt auch das RESET (oder SYNC)-Kommando den Pitch-Wert. Der Parameter "aktive Worte pro Zeile", der die Breite der rasterzerlegten Bildschirme spezifiziert, setzt auch die Breite des Anzeigespeichers. In den Fällen, wo diese zwei Werte gleich sind, gibt es keine Notwendigkeit das PITCH-Kommando auszuführen.

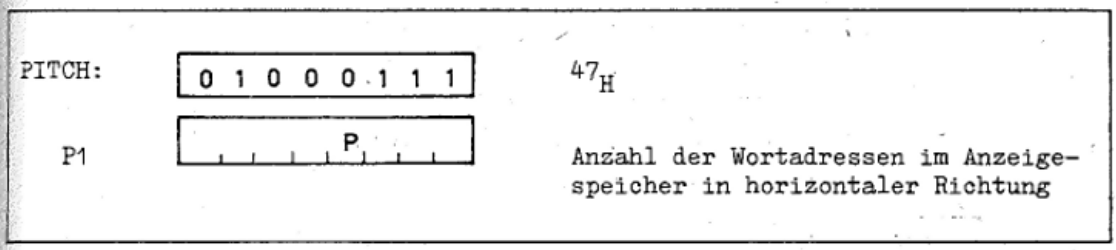


Abb. 16: Pitch-Spezifizierung

Kommando zum Datenschreiben

Nach dem Empfang eines Parametersatzes (zwei Bytes bei einem Worttransfer, ein Byte bei einem Bytetransfer), wird ein RMW-Zyklus im Video-Speicher bei der Adresse ausgeführt, zu der die Kursor-EAD zeigt. Der EAD-Zeiger wird entsprechend der vorher spezifizierten Richtung auf das nächste Wort gerückt. Danach können weitere Parameter akzeptiert werden.

Beim Schreiben eines Bytes wird ein unspezifiziertes Byte während des RMW-Speicherzyklus behandelt, als ob es lauter Nullen enthält.

Im Falle des Bit-map-orientierten Grafikmode wird nur das LSB des WDAT-Parameterbytes als Muster für die RMW-Operationen verwendet.
Daher ist es möglich, daß man Muster verwendet, bei denen entweder alle Bits Nullen oder Einsen sind.

Bei Anwendungen mit kodierten Zeichen werden alle Bits des WDAT-Parameters verwendet, um das zu zeichnende Muster zu erstellen.

Das WDAT-Kommando arbeitet unterschiedlich zu den anderen Kommandos, die RMW-Zyklen auslösen. Es fordert, daß Parameter in das Musterregister zu senden sind, während die anderen Kommandos die im Parameter-RAM gespeicherten Werte nutzen. Wie allen diesen Kommandos muß dem WDAT-Kommando ein FIGS-Kommando und seine Parameter vorangehen. Nur die ersten drei Parameter, die dem FIGS-Operationscode folgen, die den Zeichnungstyp, die Richtung und den DC-Wert festlegen, müssen eingegeben werden. Der DC-Parameter +1 gibt die Anzahl der RMW-Zyklen an, die der GDC mit dem ersten Satz der WDAT-Parameter auszuführen hat. Die weiteren WDAT-Parametersätze verwenden einen DC-Wert von 0, der bewirkt, daß nur ein RMW-Zyklus ausgeführt wird.

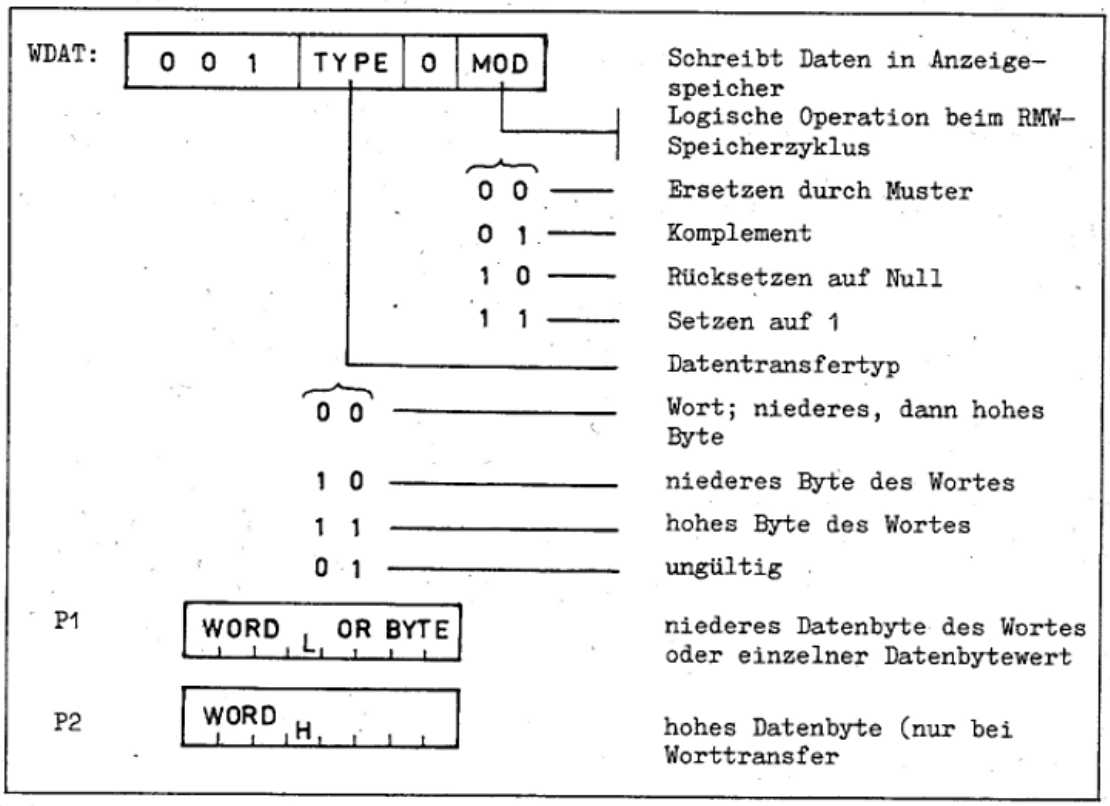


Abb. 17: Daten-Schreibkommando

Kommando zum Laden des Maskenregisters

Dieses Kommando setzt den Wert des 16-bit-Maskenregisters des Figurenzeichenprozessors. Das Maskenregister steuert, welche Bits im Anzeigespeicher während eines RMW-Zyklus modifiziert werden können.

Das Maskenregister wird sowohl durch das MASK-Kommando als auch durch das dritte Parameterbyte des CURS-Kommandos geladen. Das MASK-Kommando akzeptiert zwei Parameterbytes, um einen 16-bit-Wert in das MASK-Register zu laden. Alle 16 Bits können individuell Eins oder Null sein. Das CURS-Kommando andererseits legt ein "1 aus 16" Muster in das Maskenregister, das auf dem Wert des Punktadresswertes (dAD) basiert. Wenn normales Zeichnen grafischer Figuren mit einem einzelnen Pixel pro Zeiteinheit gewünscht wird, gibt es keine Notwendigkeit ein MASK-Kommando zu verwenden, da das CURS-Kommando das richtige Muster zu den richtigen Pixeln entsprechend dem Zeichnungsverlauf setzen wird. Für DMA-Betrieb bei codierten Zeichen, Bildschirmsetz- und Bildschirmlöschoperationen sollte bei Anwendung des WDAT-Kommandos das MASK-Kommando nach dem CURS-Kommando verwendet werden, falls sein drittes Parameterbyte ausgegeben wurde.

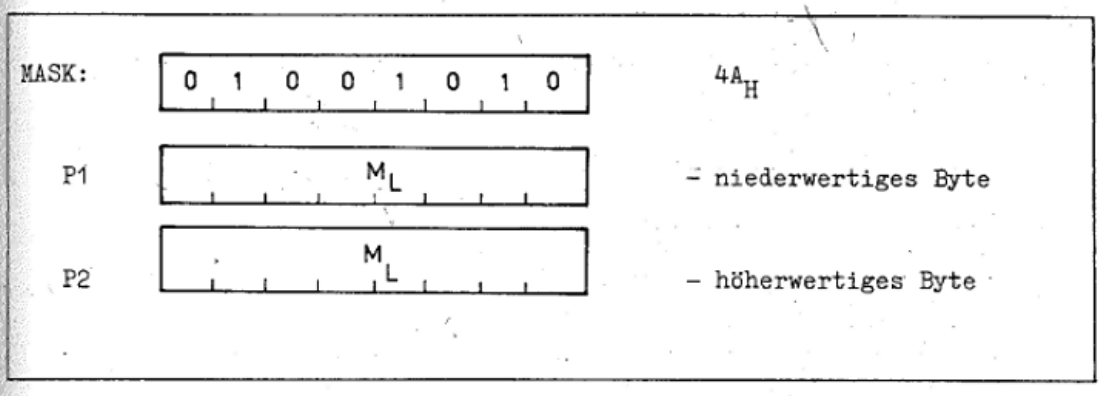
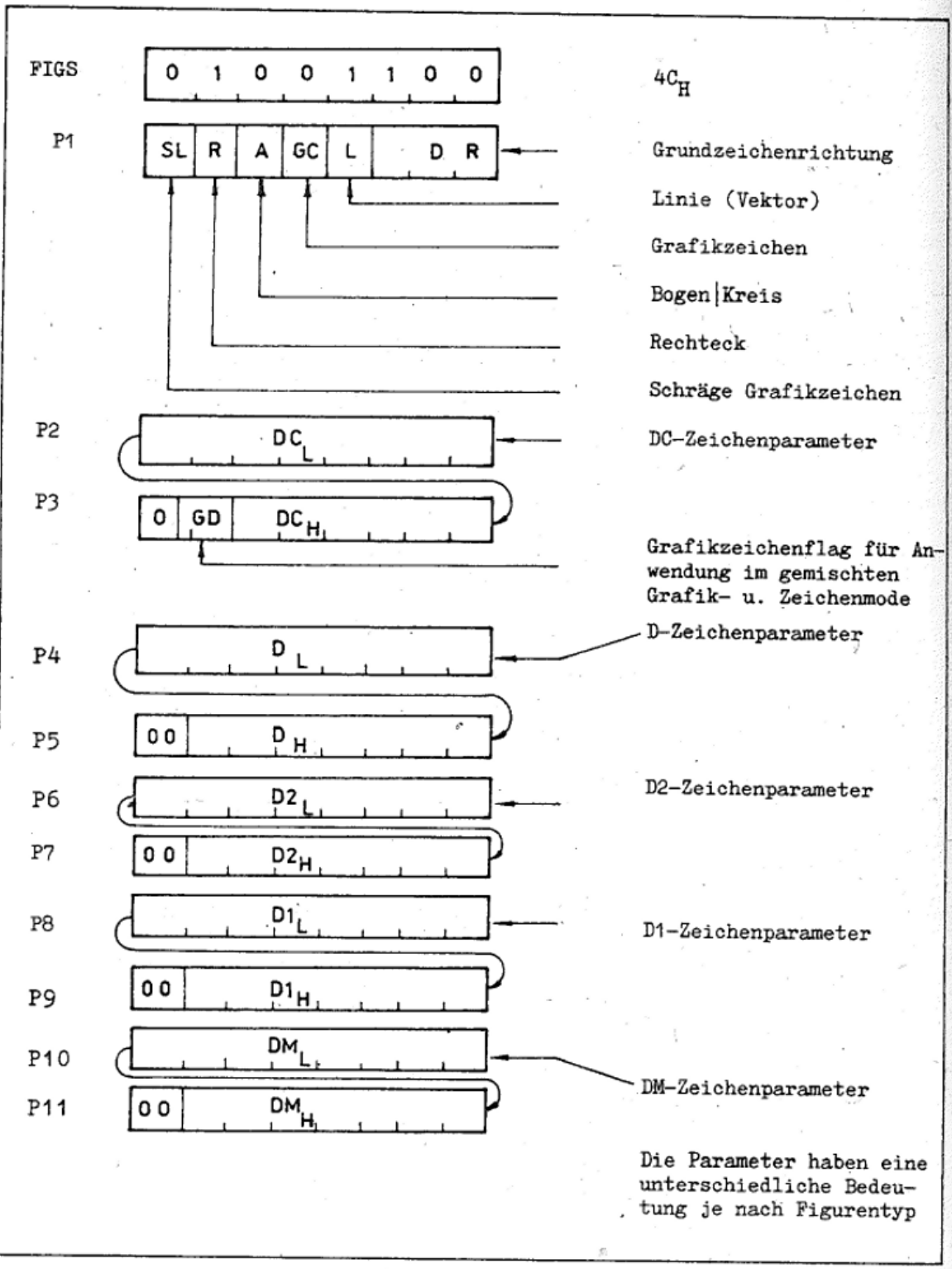


Abb. 18: Laden des Maskenregisters

Anmerkung: Das Maskenregister sollte bei Wortoperationen auf durchweg Einsen gesetzt werden.



Erklärungen zu DC bis DM siehe Seite 147 !

Auswahl gültiger Kombination von Figurentypen

SL	R	A	GC	L	Operation
0	0	0	0	0	Zeichenanzeigemode, individuelles Punktzeichnen, DMA,WDAT und RDAT
0	0	0	0	1	Linienzeichnen, geradeaus
0	0	0	1	0	Zeichnen grafischer Zeichen und Füllen von Feldern mit grafischen Zeichenmustern
0	0	1	0	0	Bogen- oder Kreiszeichnen
0	1	0	0	0	Rechteckzeichnen
1	0	0	1	0	Zeichnen schräger grafischer Zeichen und schräges Füllen von Feldern

|| Nur diese Bitkombinationen sichern eine korrekte Zeichenoperation.

Abb. 19: Spezifizierung der Zeichenparameter

Kommando zum Start des Figurenzeichnens

Bei Ausführung dieses Befehls lädt der GDC die Parameter vom Parameter-RAM in den Zeichenprozessor und startet den Zeichenprozeß bei dem Pixel, zu dem der Kursor (EAD) und die Punktadresse (dAD) zeigt.

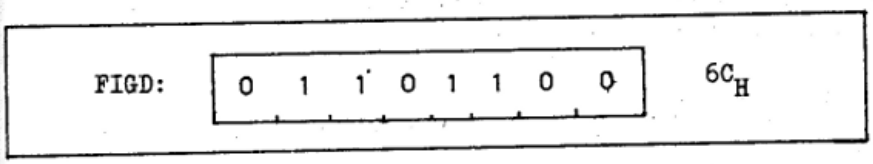


Abb. 20: Start des Figurenzeichnens

Kommando zum Start des Zeichnens grafischer Zeichen und Füllen von Feldern

Basierend auf den mit dem FIGS-Kommando geladenen Parametern initialisiert dieses Kommando das Zeichnen grafischer Zeichen oder das Füllen von Feldern mit Mustern, die im Parameter-RAM gepseichert sind. Das Zeichnen beginnt bei der Adresse im Anzeigespeicher, zu der die Werte von EAD und dAD zeigen.

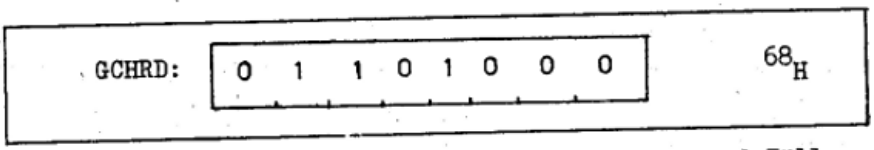


Abb. 21: Start des Zeichnens grafischer Zeichen und Füllen von Feldern

Datenlesekommando

Indem man die D|R- und DC-Parameter des FIGS-Kommandos verwendet, um die Richtung und die Transferzahl zu erhalten, können mehrfache RMW-Zyklen ohne Spezifikation der Kursoradresse nach dem Anfangsladen (DC = Anzahl der Worte oder Bytes) ausgeführt werden.

Wenn der GDC beginnt, diesen Befehl abzuarbeiten, wird die Richtung des FIFO-Puffers umgekehrt, so daß die Daten, die vom Anzeigespeicher gelesen werden, zum Mikroprozessor gelangen können. Kommandos oder Parameter, die zu dieser Zeit im FIFO sind, gehen verloren. Ein Kommandobyte, das zum GDC gesendet wird, wird unmittelbar darauf die Pufferrichtung zurück in den Schreibmode umkehren und alle RDAT-Informationen, die noch nicht vom FIFO gelesen wurden, sind verloren. MOD sollte auf "00" gesetzt sein.

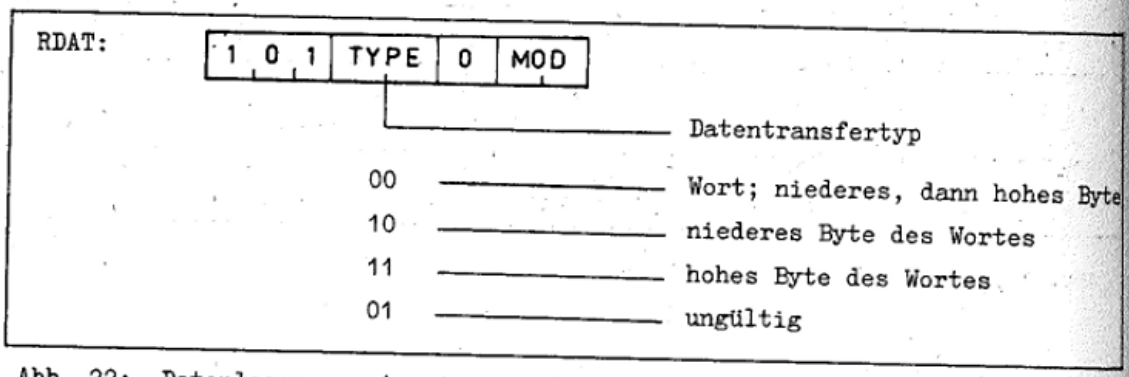


Abb. 22: Datenlesen vom Anzeigespeicher

Kommando zum Lesen der Kursoradresse

Die Ausführungsadresse (Execute Address), EAD, zeigt zu dem Wort des Anzeigespeichers, das das zu adressierende Pixel enthält.
Die Punktadresse (Dot Address), dAD, innerhalb des Wortes wird als 1-aus-16-Code für Grafikzeichenoperationen dargestellt.

Kommando zum Lesen der Lichtstiftadresse

Die Lichtstiftadresse, LAD, korrespondiert mit der Anzeigewortadresse (Display Word Address), DAD bei der das Lichtstifteingangssignal festgestellt wird und "glitchfrei" ist.

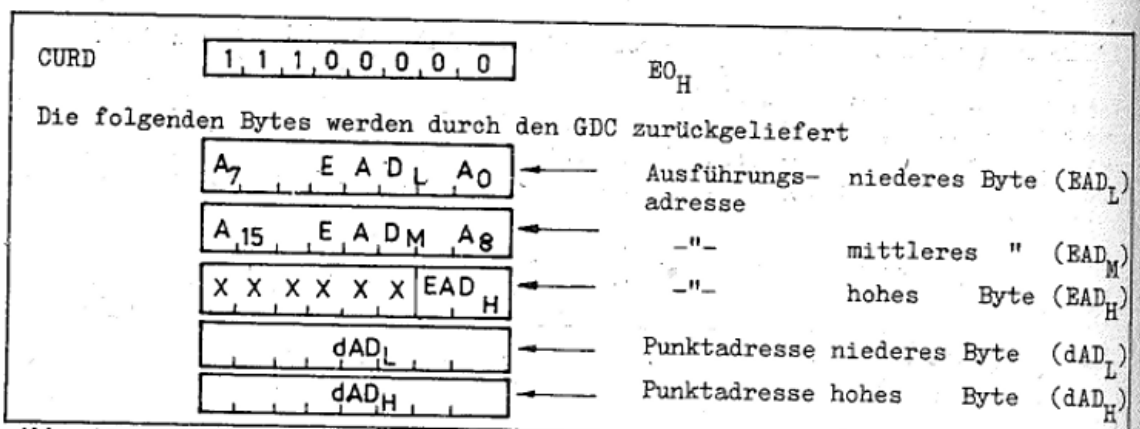


Abb. 23: Kommando zum Lesen der Kursoradresse

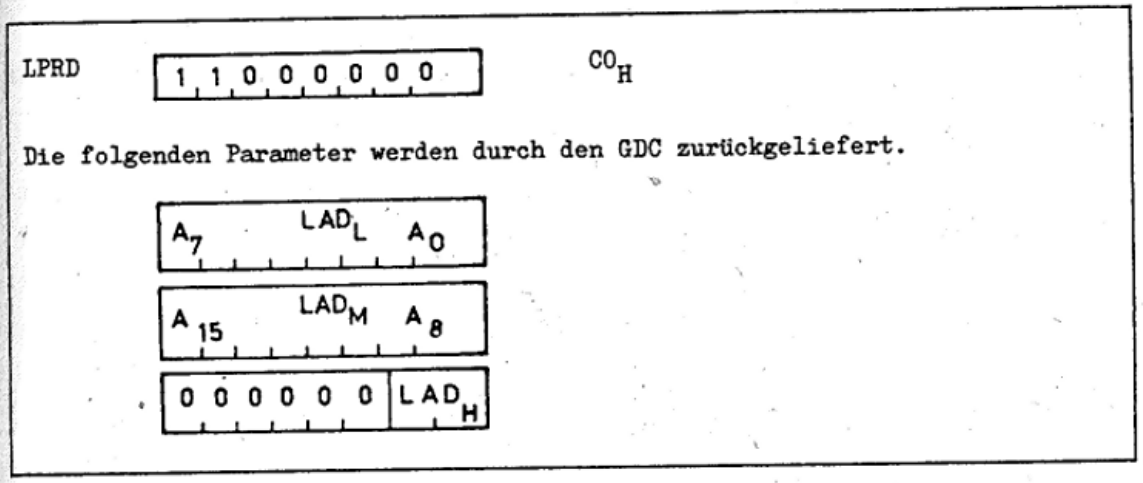


Abb. 24: Kommando zum Lesen der Lichtstiftadresse

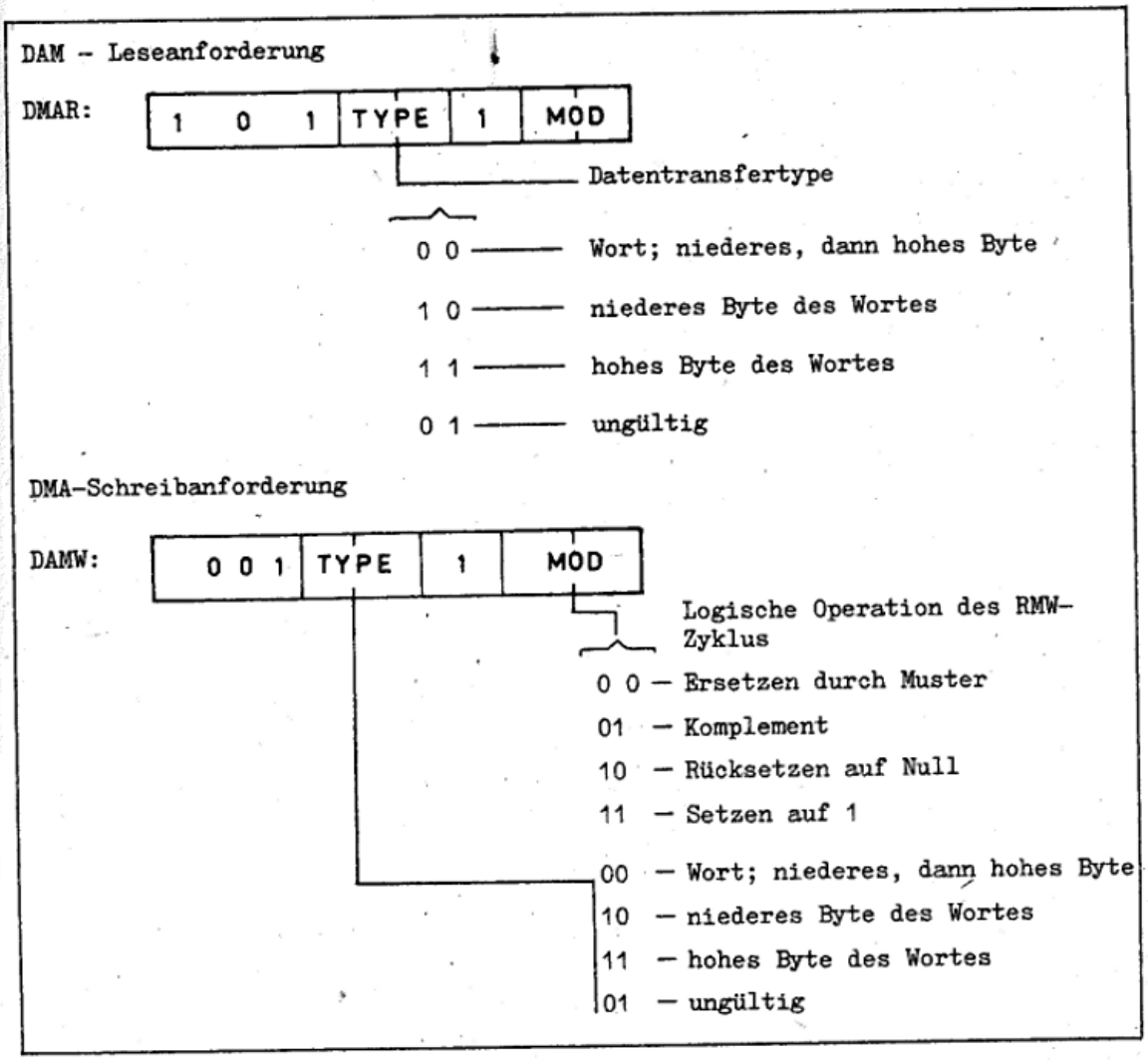


Abb. 25: DMA-Steuerkommandos

Impulsdiagramme

DATA BUS TIMING
- READ CYCLE
- WRITE CYCLE

DISPLAY MEMORY TIMING
- READ|MODIFY|WRITE CYCLE

) Seite 145

- READ CYCLE
- OTHER TIMING
- CLOCK TIMING

) Seite 146

DMA TIMING
- READ
- WRITE

) Seite 147

- DISPLAY AND RMW CYCLES (1 x ZOOM)) Seite 148

- DISPLAY AND RMW CYCLES (2x ZOOM)
- ZOOMED DISPLAY OPERATION WITH RMW CYCLE (3x ZOOM)

) Seite 149

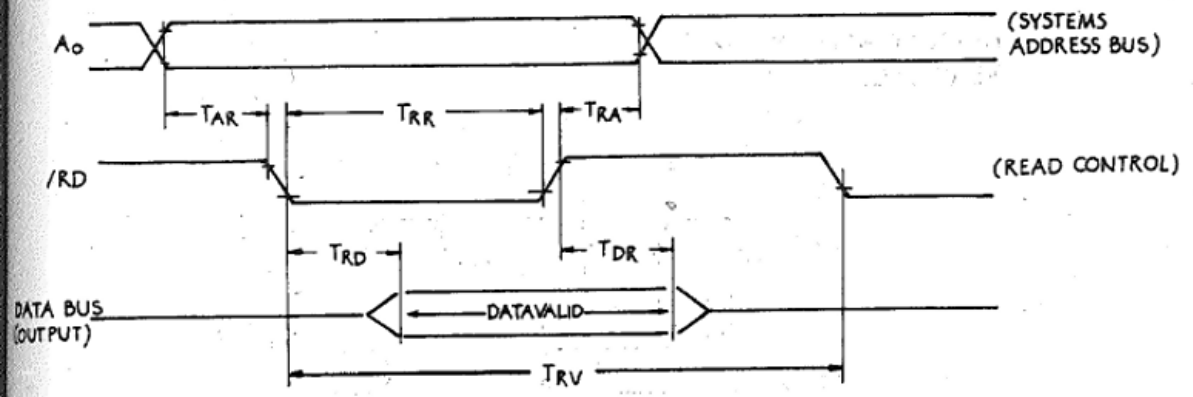
- VIDEO SYNY SIGNALS TIMING
- INTERLACED VIDEO TIMING

) Seite 150

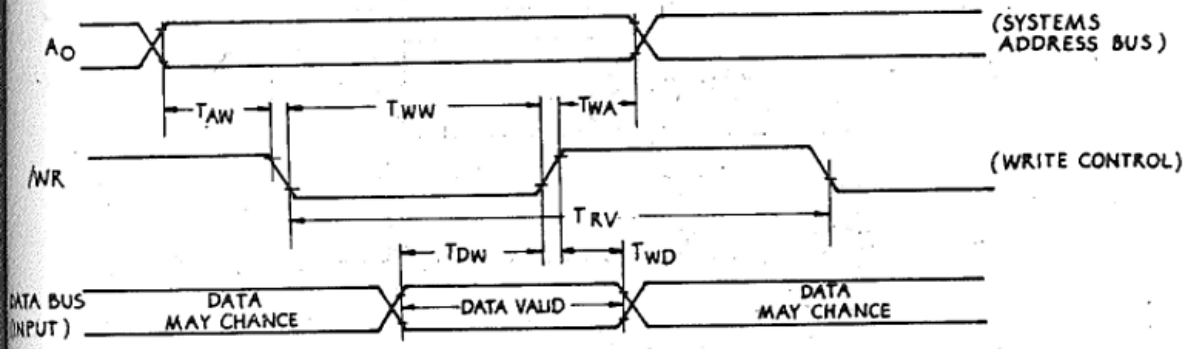
- VIDEO HORIZONTAL SYNY GENERATOR PARAMETERS
- VIDEO VERTICAL SYNC GENERATOR PARAMETERS
- CURSOR-IMAGE BIT FLAG

) Seite 151

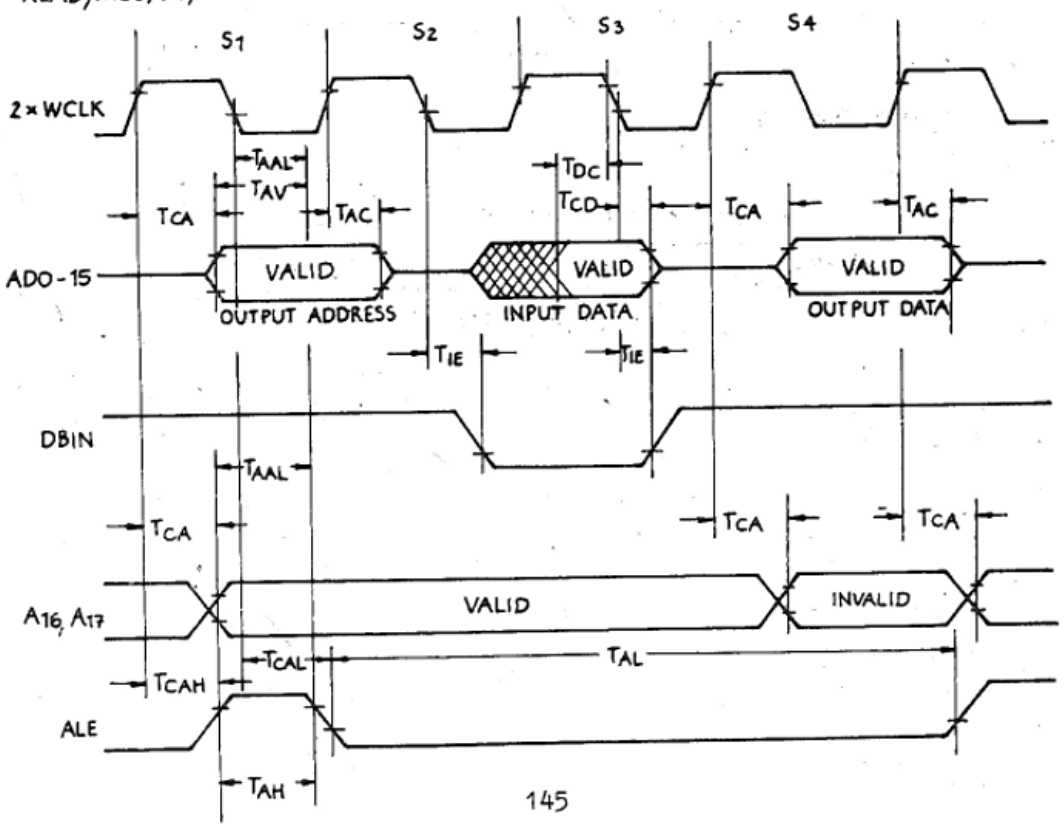
DATA BUS TIMING
READ CYCLE



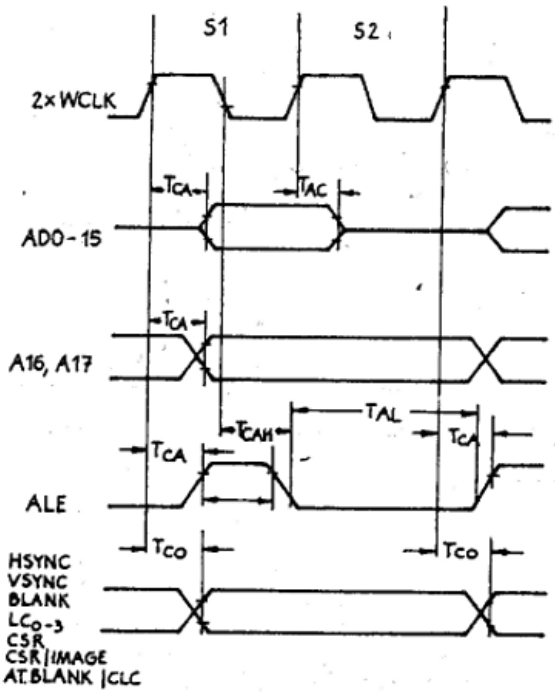
WRITE CYCLE



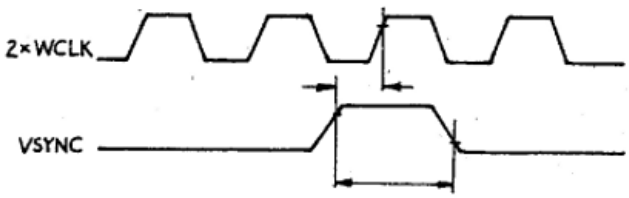
DISPLAY MEMORY TIMING
READ/MOD/FY/WRITE CYCLE



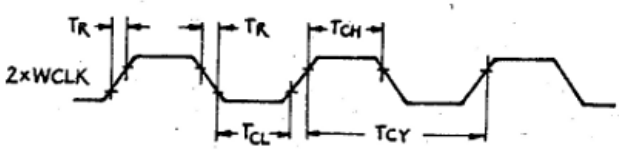
DISPLAY MEMORY TIMING
READ CYCLE



OTHER TIMING

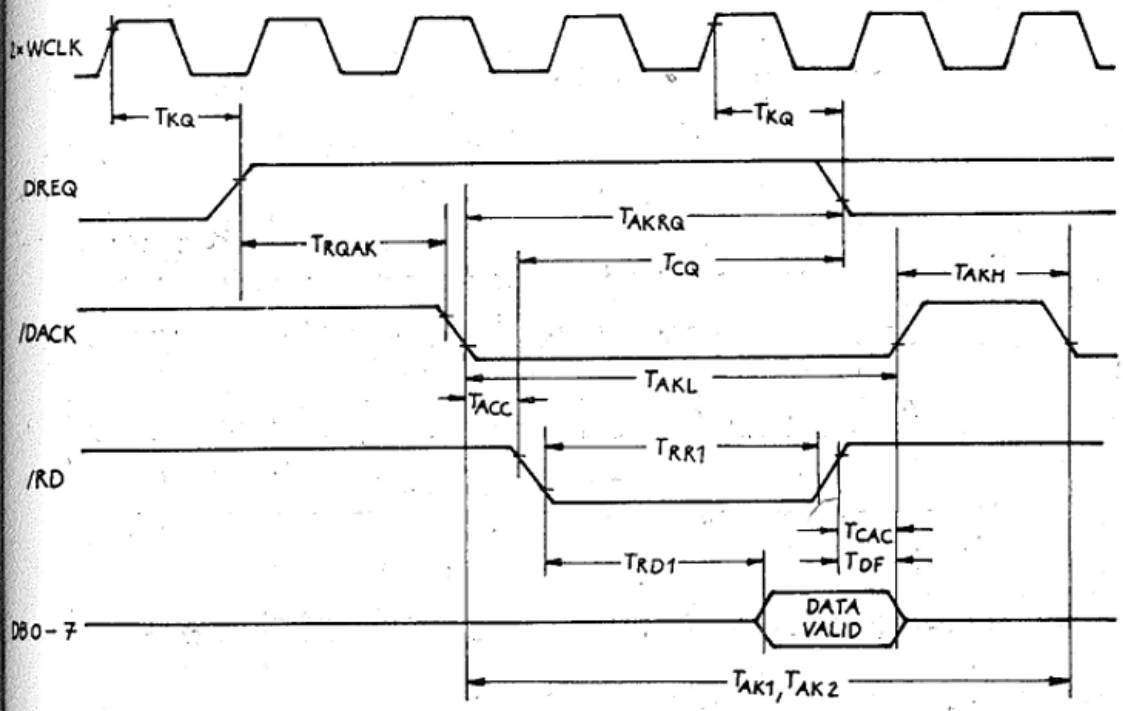


CLOCK TIMING

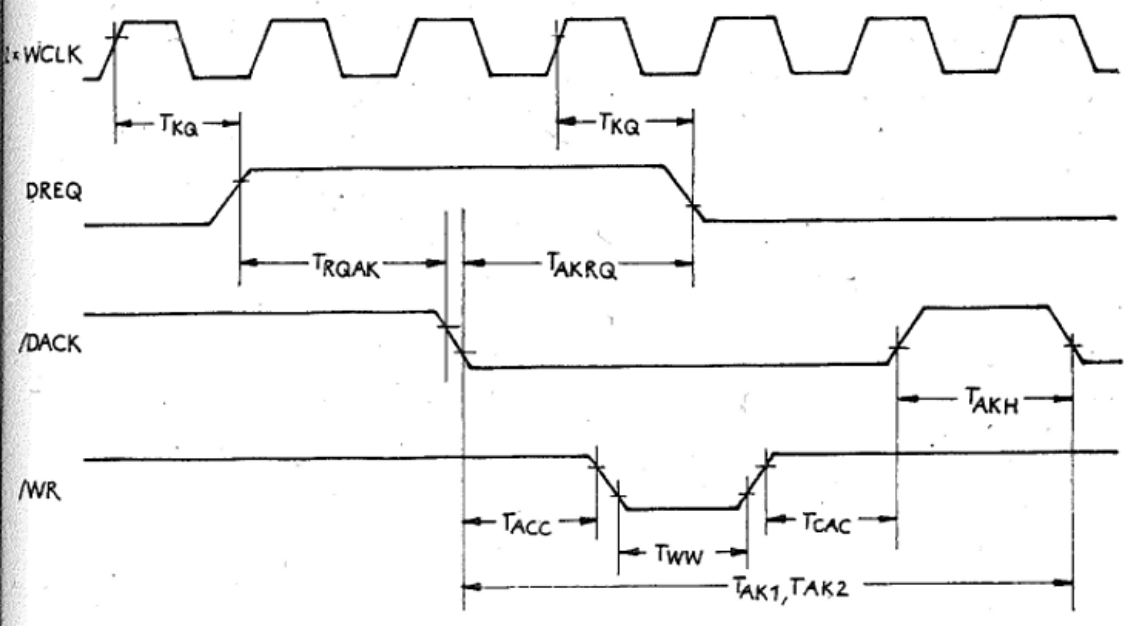


MA TIMING

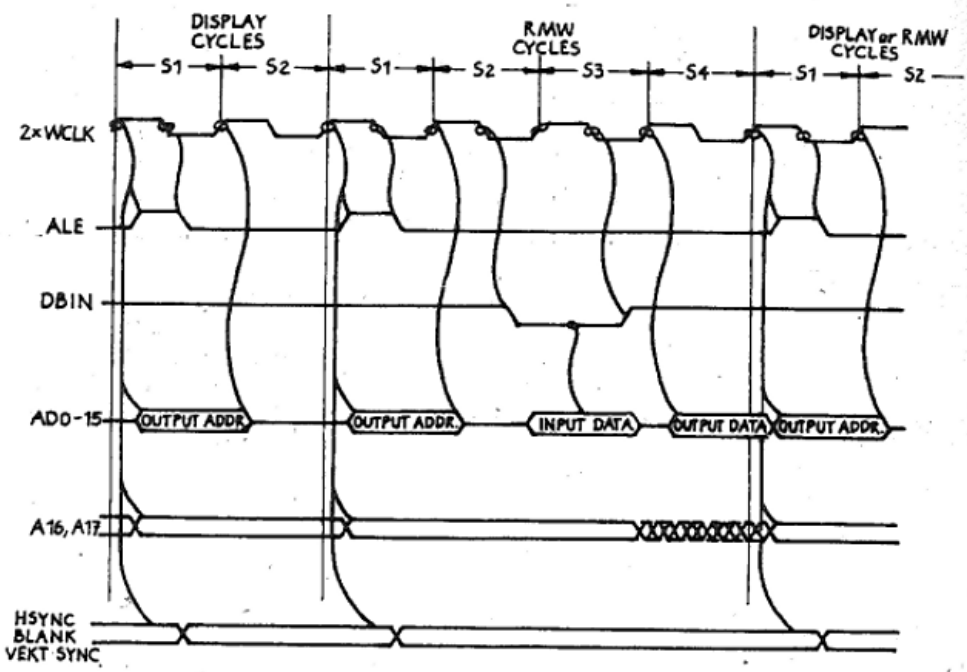
EAD



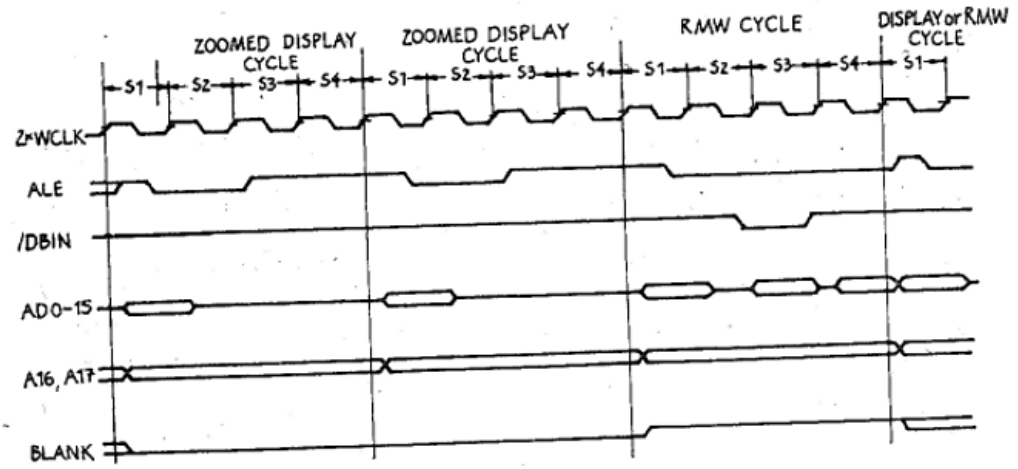
RITE



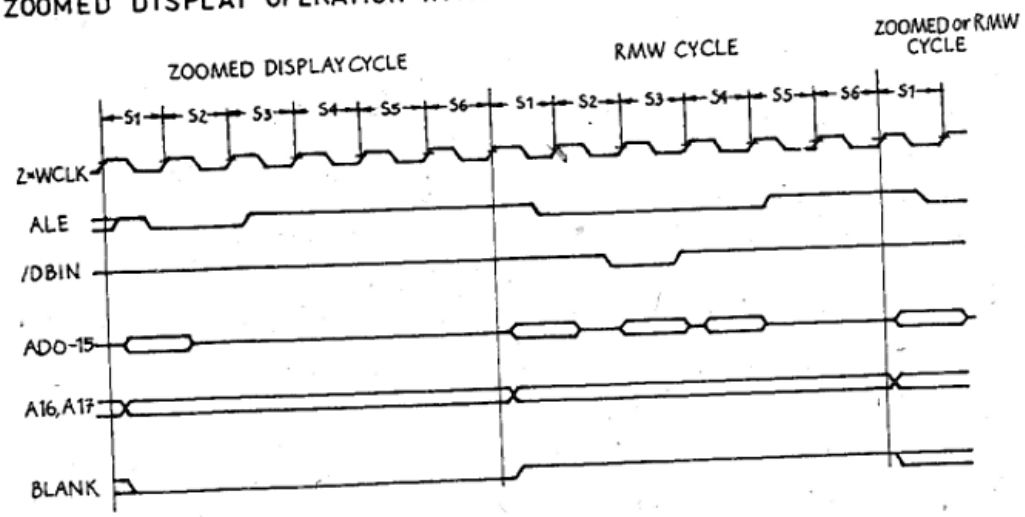
DISPLAY AND RMW CYCLES (1xZOOM)



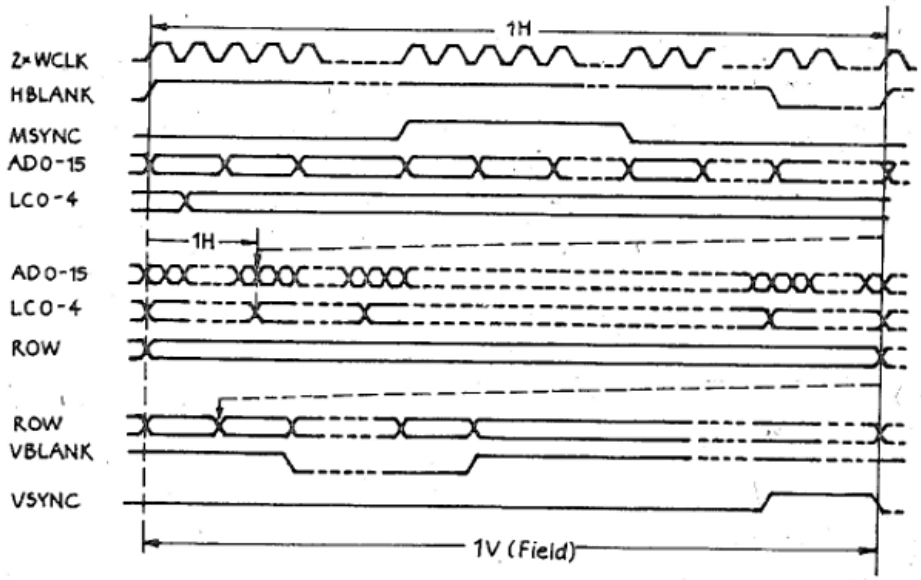
DISPLAY AND RMW CYCLES (2x ZOOM)



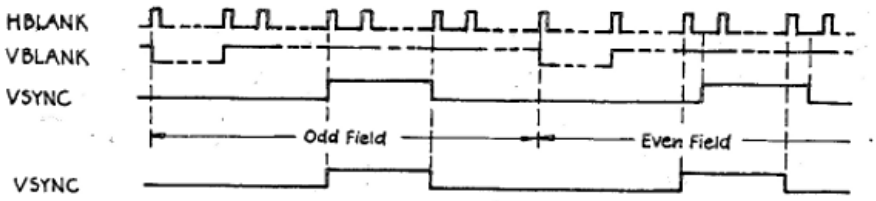
ZOOMED DISPLAY OPERATION WITH RMW CYCLE (3xZOOM)



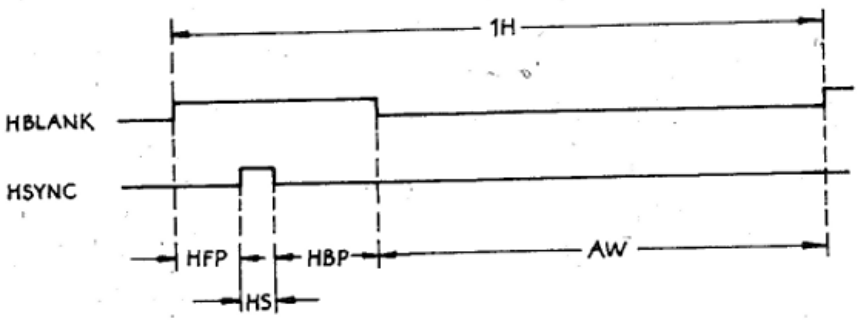
VIDEO SYNC SIGNALS TIMING



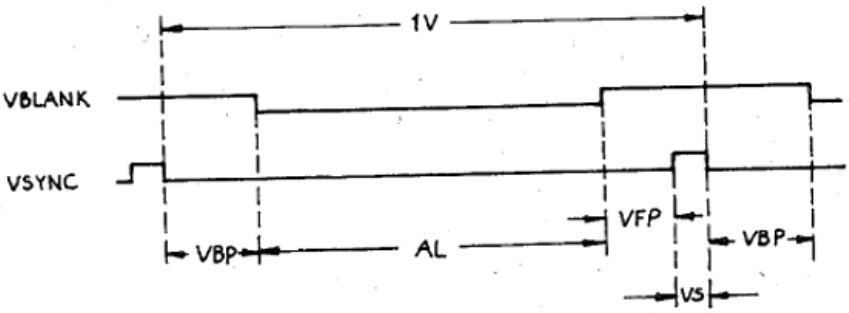
INTERLACED VIDEO TIMING



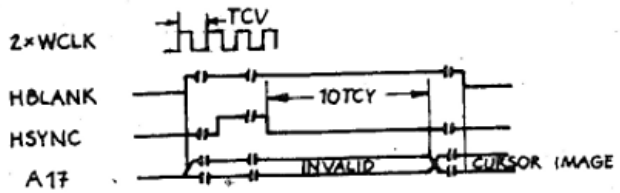
VIDEO HORIZONTAL SYNC GENERATOR PARAMETERS



VIDEO VERTIKAL SYNC GENERATOR PARAMETERS



CURSOR-IMAGE BIT FLAG



ABSOLUTE MAXIMUM Betriebswerte

Ambient Temperature Under Bics ..... 0°C to 70°C

Storage Temperature ..... -65°C to 150°C

Voltage on any Pin with Respect
to Ground ..... - 0,5 V to + 7 V

Power Dissipation ..... 1,5 Watt

DC CHARACTERISTICS

T_A = 0°C to 70°C; V_{CC} = 5 V ± 10 %; GND = 0V

Symbol	Parameter	Limits		Unit
		Min.	Max.	
V_{IL}	Input Low Voltage	-0,5	0,8	V
V_{IH}	Input High Voltage	2,0	V_{CC} + 0,5	V
V_{OL}	Output Low Voltage		0,45	V
V_{OH}	Output High Voltage	2,4		V
I_{OZ}	Output Leakage Current		± 10	µA
I_{IL}	Input Leakage Current		± 10	µA
V_{OL}	Clock Input Low Voltage	-0,5	0,6	V
V_{CH}	Clock Input High Voltage	3,9	V_{CC} + 1,0	V
I_{CC}	V_{CC} Supply Current		270	mA

APACITANCE

T_A = 25°C; V_{CC} = GND = 0V

Symbol	Parameter	Limits		Unit
		Min.	Max.	
C_{IN}	Input Capacitance		10	pF
C_{IO}	I/O Capacitance		20	pF
C_{OUT}	Output Capacitance		20	pF
C_{Φ}	Clock Input Capacitance		20	pF

A.C. CHARACTERISTICS (T_A = 0°C to + 70°C, V_{SS} = 0V, V_{CC} = + 5V ± 10 %)

DATA BUS READ CYCLE

Symbol	Parameter	82720		82720-1		Units
		Min.	Max.	Min.	Max.	
T_{AR}	A_0 setup to /RD ↓	0		0		ns
T_{RA}	A_0 hold after /RD ↑	0		0		ns
T_{RR}	/RD Pulse Width	T_{RD}+20		T_{RD}+20		ns
T_{RD}	/RD ↓ to Data Out Delay		120		80	ns
T_{DF}	/RD ↑ to Data Float Delay		120		100	ns
T_{RV}	/RD Recovery Time	T_{CY}		T_{CY}		ns

A.C. CHARACTERISTICS (Continued)

OTHER TIMING

Symbol	Parameter	82720		82720-1		Units
		Min.	Max.	Min.	Max.	
T_{PC}	LPEN or VSYNC Input Setup to 2x CCLK ↑	30		20		ns
T_{PP}	LPEN or VSYNC Input Pulse Width	T_{CY}		T_{CY}		ns

CLOOK Timing

Symbol	Parameter	82720		82720-1		Units
		Min.	Max.	Min.	Max.	
T_{CY}	Clock Period	250	2000	200	2000	ns
T_{CH}	Clock High	105		80		ns
T_{CL}	Clock Low	105		80		ns
T_{R}	Rise Time		20		20	ns
T_{F}	Fall Time		20		20	ns

DMA TIMING

Symbol	Parameter	82720		82720-1		Units
		Min.	Max.	Min.	Max.	
T_{ACC}	/DACK ↓ Setup to /RD or /WR	0		0		ns
T_{CAC}	/RD or /WR Setup to /DACK ↑	0		0		ns
T_{RR1}	/RD Pulse Width	$T_{RD1}+20$		$T_{RD1}+20$		ns
T_{RD1}	/RD ↓ to Data Out Delay		$1,5\ T_{CY}+120$		$1,5\ T_{CY}+120$	ns
T_{KQ}	2x CCLK ↑ to DRQ		45		40	ns
T_{CQ}	/RD or /WR ↓ to DRQ ↓		395		315	ns

DATA BUS WRITE CYCLE

Symbol	Parameter	82720		82720-1		Units
		Min.	Max.	Min.	Max.	
T_{AW}	A_0 Setup to /WR ↓	0		0		ns
T_{WA}	A_0 Hold after /WR ↑	0		0		ns
T_{WW}	/WR Pulse Width	120		120		ns
T_{DW}	Data Setup to /WR ↑	100		80		ns
T_{WD}	Data Hold ofter /WR ↑	0		0		ns
T_{RV}	/WR Recovery Time	4 T_{CY}		4 T_{CY}		ns

DISPLAY MEMORY TIMING

T_{CA}	Address|Data Delay from 2x CCLK ↑	30	160	30	130	ns
T_{AC}	Address|Data Float Time	30	160	30	130	ns
T_{DC}	Data Setup to 2x CCLK ↓	T_{IE}-20		T_{IE}-20		ns
T_{CD}	Data Hold Time	0		0		ns
T_{IE}	2x CCLK ↓ to /DBIN		120		90	ns
T_{CAH}	2x CCLK ↑ to ALE ↑	30	125	30	100	ns
T_{CAL}	2x CCLK ↓ to ALE ↓	20	100	20	80	ns
T_{AL}	ALE Low Time	T_{CY}+30		T_{CY}+30		ns
T_{AH}	ALE High Time	1/3 T_{CY}		1/3 T_{CY}		ns
T_{AV}	Address Valid Before ALE ↓	30		30		ns
T_{CO}	Video Signal Delay from 2x CCLK ↑		150		120	ns

Mit den Schaltkreisen UB 8820 M und UB 8821 M stehen dem Anwender leistungsfähige Einchip-Mikrorechner (EMR) zur Verfügung.

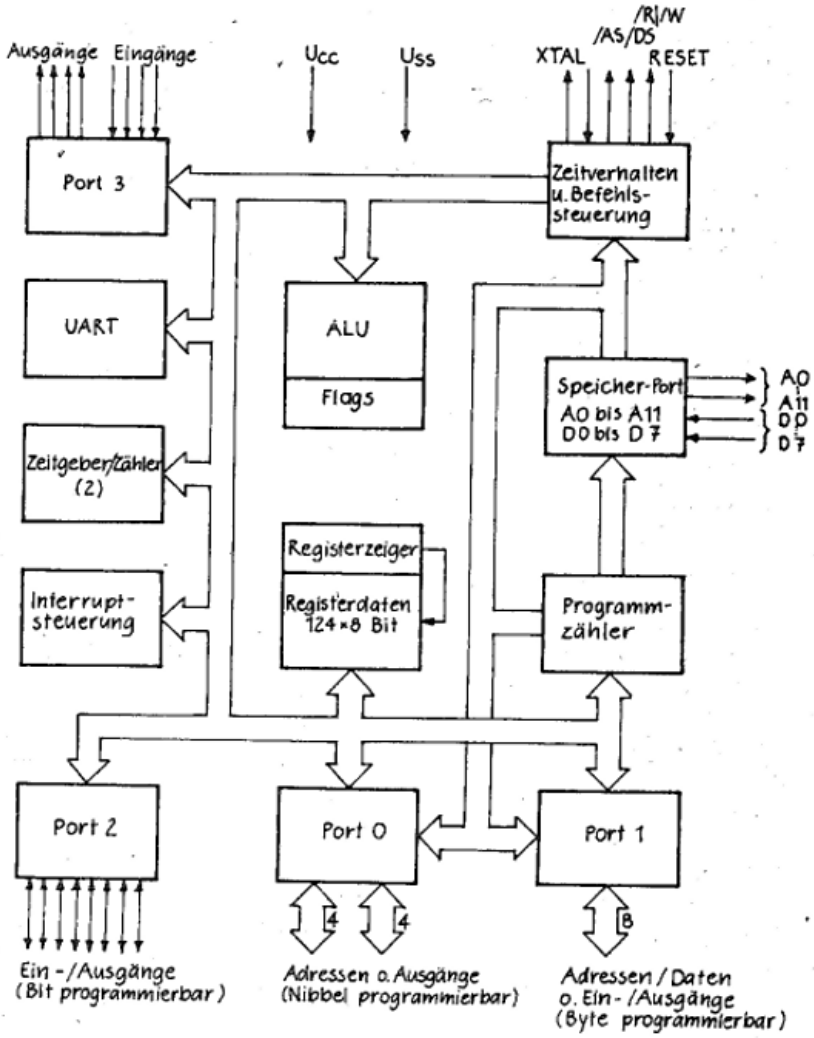


Bild 1: Blockschaltbild des EMR Beispiel UB 8820|UB 8821 M

Auf nur einem Chip, in einem einzigen Bauelement, sind die wesentlichen Komponenten eines leistungsfähigen Mikrorechnersystems vereinigt.

- RAM
- Ports für parallele Ein-|Ausgabe
- Ports für serielle Ein-|Ausgabe
- Zähler|Zeitgeber
- Interruptsteuerung

Herausragende Eigenschaften der Einchip-Mikrorechner-Schaltkreise UB 8820 M, UB 8821 M sind:

- Verarbeitungsbreite	8 Bit
- Zahl der Basisbefehlstypen	43
- Speicherkapazität	2 KByte direkt adressierbar (bei UB 8820 M, UB 8821 M, extern)
- RAM-Kapazität (intern)	128 Byte (davon 124 Mehrzweckregister und 4 Ein-|Ausgaberegister dazu 16 Status- und Steuerregister)
- Ein-|Ausgabeleitungen	32

- UART (vollduplex, durch internen Zeitgeber getaktet)
- 2 programmierbare 8-Bit-Zähler|Zeitgeber mit je einem programmierbaren 6-Bit-Vorteiler
- On-Chip-Oszillator (nur bei Anschlußvariante UB 88X0 D|M)
- 6 priorisierte und vektorisierte Interruptquellen
- Möglichkeit der Adressierung externer Speicher bis 124 KByte
- Power-Down-Betriebsart (nur bei Anschlußvariante UB 88X1 D|M)
- TTL-Kompatibilität aller Anschlüsse

Die EMR-Schaltkreise UB 8820 M, UB 8821 M werden in n-Kanal-Silicon-Gate-Technologie gefertigt. Es werden jeweils zwei unterschiedliche Anschlußvarianten (Bondvarianten) angeboten, die sich in der Belegung an Pin 2 bzw. 63 unterscheiden:

UB 8820 M	Der direkte Anschluß eines externen Quarzes ist möglich.
UB 8821 M	Es besteht die Möglichkeit zum Power-Down-Betrieb.

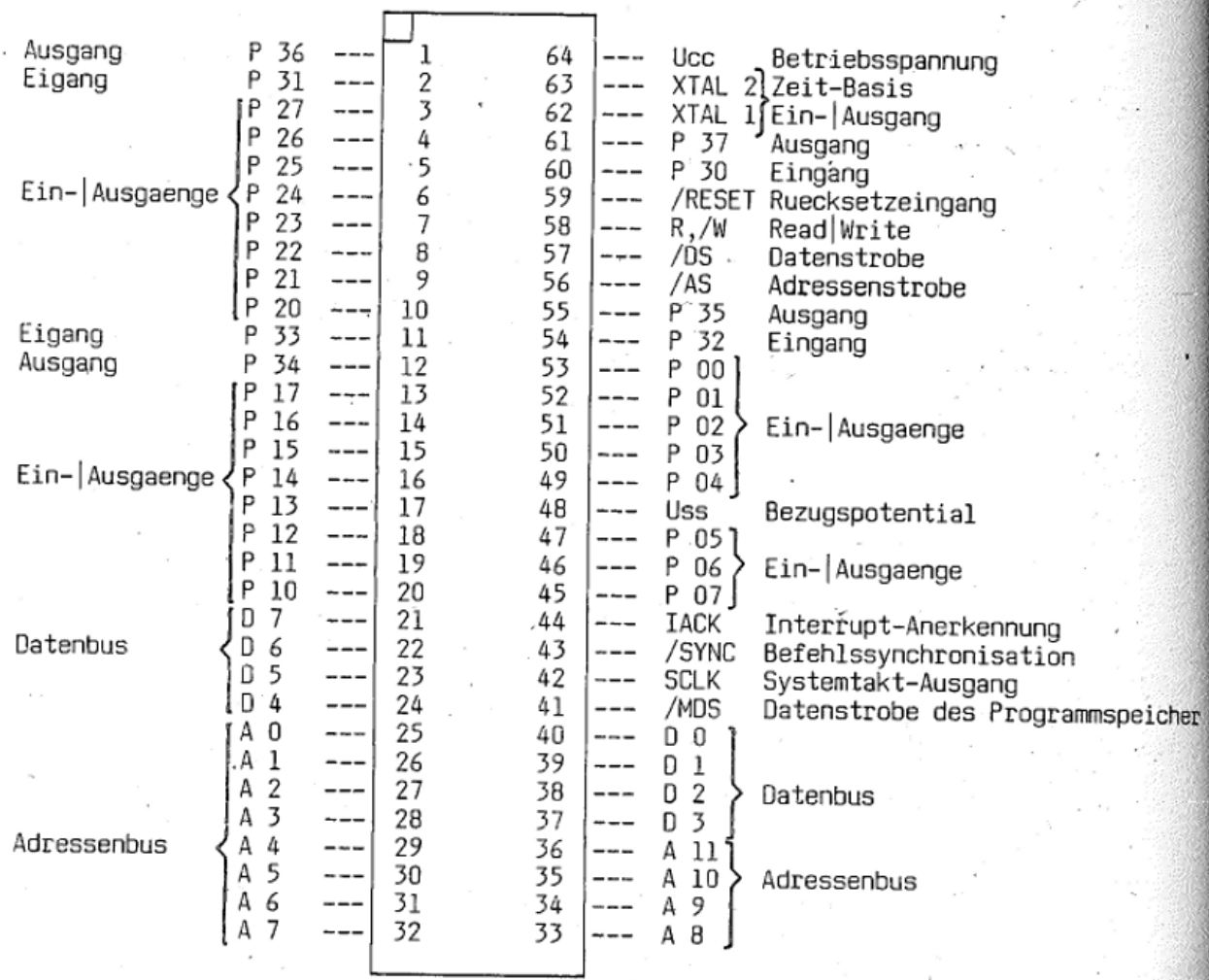


Bild 2: Anschlußbelegung des UB 8820 M | UB 8821 M

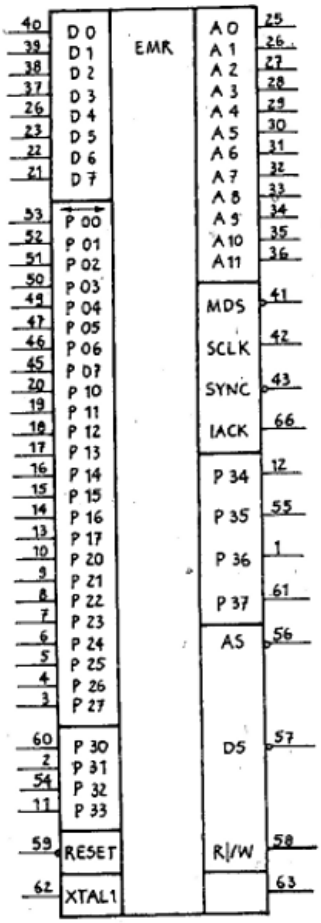


Bild 3: Schaltungskurzzeichen des UB 8820 M | UB 8821 M

Beschreibung der Anschlüsse

P00 - P07 P10 - P17 P20 - P27 P30 - P37

= Ein-|Ausgabeleitungen (Ein-|Ausgänge, TTL-Kompatibel)
Diese 32 Leitungen sind in 4 Ein-|Ausgabeports zu je 8 Bit unterteilt, die durch Softwaresteuerung vielfältig konfiguriert werden können. Die einzelnen Leitungen eines Ports werden durch die zweite Ziffer gekennzeichnet, z. B. entspricht P 20 dem niedrigsten Bit von Port 2. Port 0 und Port 1 können zusätzlich zu ihren Ein-|Ausgabefunktionen durch Programmsteuerung als Interface für externe Speicher benutzt werden. Weiterhin kann Port 2 als "Open-Drain"-Ausgang konfiguriert werden.

/AS

= "Address Strobe" (Ausgang, low-aktiv)
Dieses Signal erscheint, gepulst, sowohl beim Befehlsholezyklus aus dem internen und externen Programmspeicher, als auch beim Datentransfer vom und zum externen Datenspeicher. Die Adressen für alle externen Programm- und Datenübertragungen sind bei der

(steigenden) Rückflanke von /AS gültig. /AS wird zu Beginn eines jeden Maschinenzyklus aktiv. Mit entsprechender Programmierung kann /AS gemeinsam mit Port 0 und 1, /DS und R|/W in den hochohmigen Zustand versetzt werden.

/DS

= "Data Strobe" (Ausgang, Low-aktiv)
/DS wird bei jedem externen Speichertransfer einmal aktiviert.

Schreibzyklus: EMR liefert gültige Daten am Port 1, während /DS aktiv ist.

Lesezyklus: EMR empfängt gültige Daten am Port 1, während /DS aktiv ist.

Mit entsprechender Programmierung kann /DS gemeinsam mit Port 0 und 1, /AS und R|/W in den hochohmigen Zustand versetzt werden. Wenn der EMR mit externem Speicher arbeitet, dient /DS als Befehlssynchronsignal und wird während der Taktperiode, die dem Beginn des Opcode-Holens vorangeht, auf "Low" gezogen.

R|/W

= "Read|Write" (Ausgang, Low-aktiv)
R|/W ist "Low", wenn der EMR in den externen Speicher schreibt. Für alle anderen EMR-Zyklen bleibt R|/W "High". Mit entsprechender Programmierung kann R|/W gemeinsam mit Port 0 und 1, /AS und /DS in den hochohmigen Zustand versetzt werden.

XTAL 1
XTAL 2
Nur bei UB 8820 M

= "Crystal 1", "Crystal 2" (Zeitbasis, Ein- und Ausgang)
Diese Anschlüsse verbinden einen Serienresonanz-Quarz, ein LC- oder RC-Netzwerk (Serienresonanzwiderstand ≤ 100 Ohm) oder einen externen Takt, gegenphasig an XTAL 1 und XTAL 2 dem Taktgenerator und Puffer auf dem Chip.

XTAL 1
U_{MM}
Nur bei UB 8821 M

= "Crystal 1", "Power-Down"-Stützspannung (Eingänge)
Beim "Power-Down"-Betrieb muß der EMR-Takt über XTAL 1 von einem externen Taktgenerator zugeführt werden.
Über den zweiten Eingang (sonst XTAL 2-Ausgang) wird die Stützspannung (U_{MM}) zugeführt, die bei U_{CC}-Ausfall die interne Registerdatei und Rücksetzlogik versorgt.

/RESET

= "Reset" (Eingang, Low-aktiv)
/RESET dient der EMR-Initialisierung und dem Schutz der Registerdatei während des Spannungszu- und -abschaltens. Wenn /RESET "High" wird, beginnt der EMR die Programmausführung, beginnend beim Programmspeicherplatz 000CH.
/RESET wird auch benutzt, um den EMR in den Testbetrieb zu zwingen. Dies wird durch Anheben der Spannung am /RESET-Eingang auf +7 V erreicht.

A0 – A11

= Programmspeicheradressen (Ausgänge)
A0 – A10 ermöglichen den Zugriff zu den ersten 2 KByte des Programmspeichers. Der Anschluß A11 bleibt vorerst reserviert für anderweitige Anwendungsfälle und ist nicht nutzbar.

D0 – D7

= Programmdaten (Eingänge)
Über diese Anschlüsse erfolgt die Eingabe der durch A0 – A10 ausgewählten Daten aus dem Programmspeicher.

/MDS = "Memory Data Strobe" (Ausgang, Low-aktiv)
Während des B e f e h l s h o l e z y k l u s ist /MDS "Low", wenn auf die ersten 2 KByte des Programmspeichers zugegriffen wird, dagegen ist /MDS während des Lesens eines Interruptvektors stets "High"!

/SYNC = Befehlssynchronisation (Ausgang, Low-aktiv)
Während der Taktperiode, die dem Beginn eines Befehlsholens vorausgeht, wird der Strobeausgang /SYNC auf "Low" gesetzt.

SCLK = Systemtakt (Ausgang)
Über diesen Anschluß wird der interne Systemtakt gepuffert ausgegeben. Die interne Systemtaktfrequenz ist die halbe Quarzfrequenz!

IACK = "Interrupt Acknowledge", Interrupt-Anerkennung (Ausgang, High-aktiv)
Als Antwort auf einen Interrupt wird IACK während des Interruptmaschinenzyklus auf "High" geschaltet.

Beschreibung der Adreßräume und der Registerdatei

Programmspeicher

Der 16-Bit-Programmzähler adressiert 65536 Bytes des Programmspeicherraumes. Der Programmspeicher ist beim UB 8820 M | UB 8821 M außerhalb des Chips, über das Speicherport ansprechbar.

Die ersten 256 Bytes des externen Programmspeichers (Adressen 2048 bis 2048 + 255) können durch Konfigurieren des Tors 1 als zeitmultiplexes Adreß-|Datentor (AD0 - AD7) adressiert werden, das die Adreßbits A0-A7 und die Datenbits D0-D7 liefert. Tor 0 wird für zusätzliche 4 oder 8 Adreßbits (A8-A11 oder A8-A15) bei Anwendungen konfiguriert, die einen 4K- oder 64 K-Adreßraum des Programmspeichers erfordern.
Die ersten 12 Bytes des Programmspeichers sind für die Interruptvektoren reserviert. Die Speicherzellen $00-0B_H$ (11_D) enthalten sechs 16-Bit-Vektoren, die mit den 6 möglichen Interrupts korrespondieren. Wenn ein Interrupt eintritt, wird die Programmsteuerung zu einer Serviceroutine übergehen, deren Adresse als Interruptvektor in den Zeilen gespeichert ist, auf die sich der spezielle Interrupt bezieht. Ein "Rücksetzen" zwingt den Programmzähler auf den Stand $0C_H(12_D)$, d.h. die erste mögliche Adresse des Anwenderprogramms.

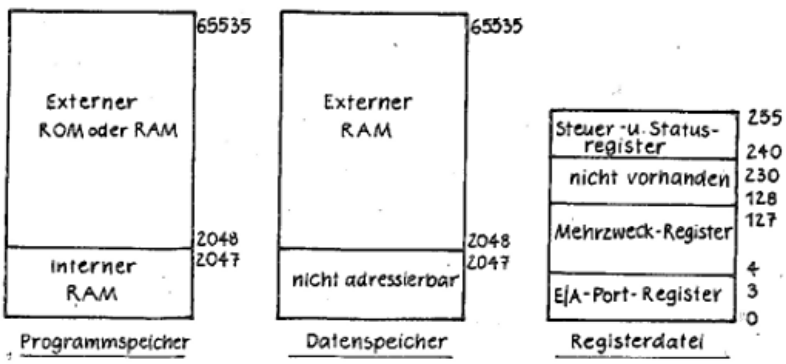


Bild 4: EMR-Adreßräume

(In Wirklichkeit insgesamt 6 K, da die ersten 2 K des Datenspeichers nicht adressierbar sind). Jedoch kann entweder /DS oder R|/W - im Effekt - eine 13. Adresse liefern. Dadurch werden, wenn der Anwendungsfall zwischen 4 K bis 6 K Programmspeicher (oder 2 K bis 4 K Datenspeicher) erfordert, nur Port 1 und das niedere Nibbel von Port 0 benötigt, die die Rolle der Adreßausgänge übernehmen. Wenn diese Eigenschaft nicht benutzt wird, muß das obere Nibbel des Ports 0 verwendet werden, um die zusätzlichen Adressen auszugeben.
Die folgende Tabelle stellt dar, wie der 4 K- bis 6 K-Adreßraum ohne ein 13. Adreßbit benutzt werden kann. Die Adreßleitungen A0-A11 sind ausreichend, um den internen 0K- bis 2K-Raum zu adressieren, wobei A11 immer "0" und /DS und R|/W inaktiv sind. A0-A11 sind erforderlich, um den 2 K- bis 4 K-Raum zu adressieren, wobei zu bemerken ist, daß /DS und R|/W nun aktiv sind. Für 4 K bis 6 K ist A11 wieder "0" (wie im 0 K- bis 2 K-Fall); jedoch, da /DS und R|/W noch aktiv sind, kann der 4 K- bis 6 K-Fall, vom 0 K- bis 2 K-Fall, wo diese Signale inaktiv sind, unterschieden werden.

Programmspeicheradresse (PC)	Datenspeicher-adresse	Adresse auf Tor 0 und 1	A11	/DS und R|/W
0-2047	-	0-2047	0	inaktiv
2048-4095	2048-4095	2048-4095	1	aktiv
4096-6143	4096-6143	0-2047	0	aktiv

Der 6 K- bis 8 K-Fall kann nicht vom 2 K- bis 4 K-Fall unterschieden werden, da in beiden Fällen /DS und R|/W aktiv sind und A11 gleich "1" ist. Deshalb muß das obere Nibbel vom Tor 0 benutzt werden, um Programm- und Datenspeicherräume größer als 6 K zu adressieren.

Registerdatei

Die 144-Byte-Registerdatei umfaßt 4 Ein-|Ausgabeportregister (R0-R3), 124 Mehrzweckregister (R4-R127) und 16 Steuer- und Statusregister (R240-R255). Den 144 Bytes der Registerdatei werden die in Bild 5 angegebenen Speicheradressen zugewiesen.

Anordnung der Register im RAM		Kurzzeichen
255	Stack Pointer (Bits 7 - 0)	SPL
254	Stack Pointer (Bits 15 - 8)	SPH
253	Register Pointer	RP
252	Programm Control Flags	FLAGS
251	Interrupt Mask Register	IMR
250	Interrupt Request Register	IRQ
249	Interrupt Priority Register	IRP
248	Ports 0 - 1 Mode	P01M
247	Port 3 Mode	P3M
246	Port 2 Mode	P2M
245	T0 Prescaler	PRE0
244	Timer|Counter 0	T0
243	T1 Prescaler	PRE1
242	Timer|Counter 1	T1
241	Timer Mode	TMR
240	Serial I|0	SIO
127	Mehrzweckregister	
4		
3	Port 3	P3
2	Port 2	P2
1	Port 1	P1
0	Port 0	P0

Bild 5: Organisation der Registerdatei

Ablauf des Befehlszyklus

Bild 6 und 7 zeigen das Zeitverhalten des Befehlszyklus für das Holen der Befehle aus externen Speichern. Die Adressen /AS und R|/W werden bei Beginn eines jeden Maschinenzyklus (Mn) ausgegeben. Die Adressenausgabe über Tor 0 (wenn benutzt) bleibt über den Maschinenzyklus stabil, wohingegen die Adressenausgabe über Tor 1 nur während MnT1 gültig bleibt. Die Adressen werden mit der steigenden Flanke von /AS garantiert gültig, die benutzt werden sollte, um die über Tor 1 ausgegebenen Adressen abzuspeichern. Tor 1 wird am Ende von MnT1 in den Eingabebetrieb gesetzt. /DS wird während MnT2 ausgegeben, um zu ermöglichen, daß die Daten auf den Bus von Tor 1 gegeben werden. Der EMR akzeptiert die Daten, während MnT3, wenn /DS beendet wird. Eine Taktperiode vor Beginn eines Opcode-hole-Maschinenzyklus (M1) wird ein Befehlssynchronisationsimpuls (/SYNC) ausgegeben.

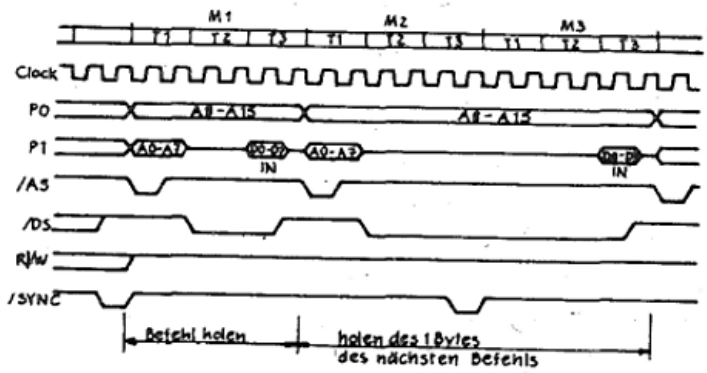


Bild 6: Zeitverhalten beim Befehlszyklus (Ein-Byte-Befehl)

Zu bemerken ist, daß alle Befehlsholezyklen dasselbe Maschinenzeitverhalten haben, unabhängig ob der Speicher intern ist oder nicht. Wenn der EMR auf externen Speicherzugriff programmiert ist, werden auch bei internen Speicherzugriff die Adressen über Port 0 und 1 ausgegeben: /DS und R|/W bleiben jedoch inaktiv. Wenn er nur für internen Speicher konfiguriert ist, werden die Tore 0 und 1 für Ein-|Ausgabe benutzt. /DS gibt /SYNC aus und R|/W ist inaktiv.
Eine Ausnahme zu dem Zeitverhalten beim Befehlsholen bildet das Opcodeholen eines Befehls, der dem Holen eines Ein-Byte-Befehls folgt. Ein-Byte-Befehle erfordern 2 Maschinenzyklen zur Ausführung. Das Pipelining verursacht, das Holen des Opcodes einen Maschinenzyklus früher zu beginnen.

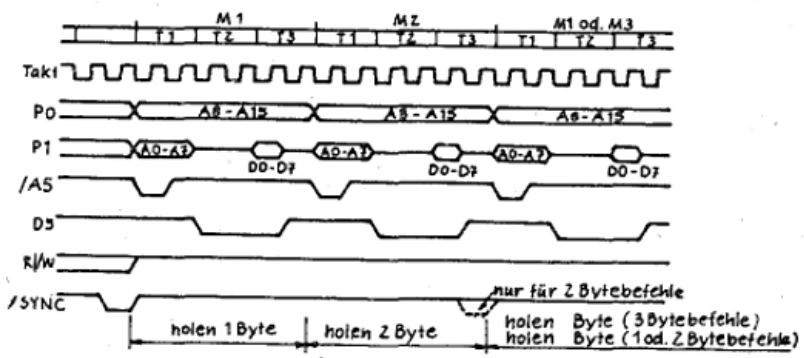


Bild 7: Zeitverhalten beim Befehlszyklus (2- und 3-Byte-Befehle)

Externe Speicher, Eingabe, Ausgabe

Falls der externe Speicher adressiert wird, werden die Tore 0 und 1 so konfiguriert, daß sie die erforderliche Anzahl von Adreßbits ausgeben. Tor 1 wird als gemultiplexter Adreß-|Datenbus für AD0-AD7 verwendet und Tor 0 gibt die Adreßbits A8-A15 aus. Die Zeitverhältnisse für die Adressierung externer Speicher und der Ein-|Ausgabe werden in Bild 8, 9, 10 und 11 dargestellt. Der Hauptunterschied zwischen diesen Darstellungen ist, daß Bild 10 und 11 einen hinzugefügten Zeitzyklus (Tx) enthält, der den Zeitverlauf beim externen Speicher erweitert, um auch den Einsatz langsamerer Speicher zu ermöglichen.
Die Adreßbits A0-A15 sind bei der steigenden Flanke von /AS bei Speicherlese- und Speicherschreibzyklen gültig. Da Tor 0 nicht gemultiplext wird, stehen die Adreßbits A8-A15 - wenn benutzt - für den vollständigen Speicher-Lese-|Schreibzyklus bereit.
Während des Lesezyklus müssen die Eingangsdaten an Tor 1 mit der Rück-Flanke von /DS gültig sein. Der Ausgang zur Auswahl des Datenspeichers (/DM) wird benutzt, um den externen Datenspeicher oder externen Programmspeicher auszuwählen. Wenn P34 dafür ausgewählt wurde, ist /DM während der Ausführung gewisser Befehle aktiv. Während der Schreibzyklen haben die Adreßausgänge dasselbe Zeitverhalten wie bei Lesezyklen. Die Ausgangsdaten jedoch sind gültig, sobald während eines Schreibzyklus der Zustand /DS aktiv und R|/W aktiv (Low) eintritt.

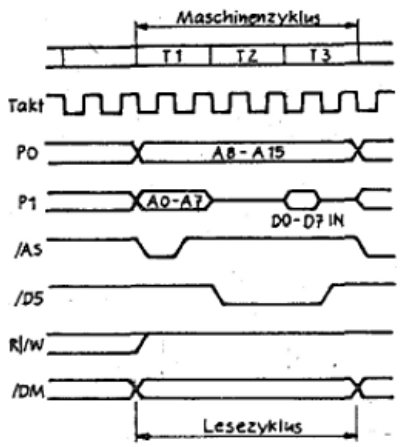


Bild 8: Holen externer Befehle, Ein-|Ausgabe oder Speicherlesezyklen

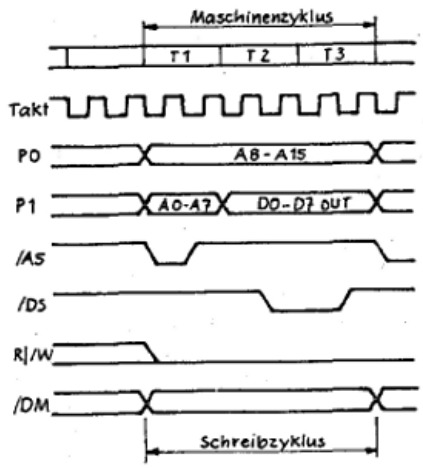


Bild 9: Externe Ein-|Ausgabe oder Speicherschreibzyklen

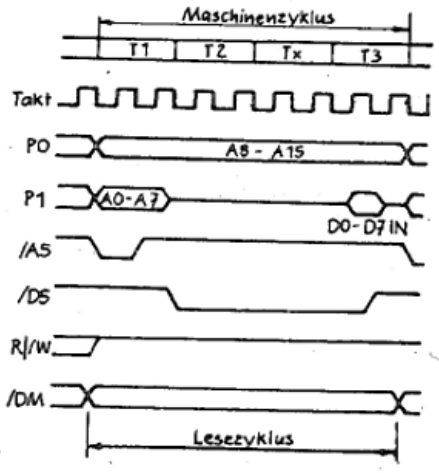


Bild 10: Erweitertes externes Befehlsholen, Ein-|Ausgabe oder Speicherlesezyklus

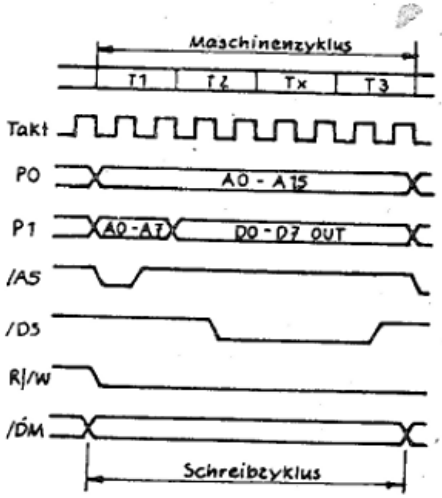


Bild 11: Erweiterter externer Ein-|Ausgabe- oder Speicherschreibzyklus

Interrupt-Zeitverhalten

Interruptanforderungen werden vor jedem Befehlsholezyklus abgefragt (Bild 12). Zuerst werden die externen Interruptanforderungen 4 Taktperioden vor dem aktiven /AS-Impuls, der mit einem Befehlsholezyklus korrespondiert, abgefragt. Dann werden die internen Interruptanforderungen 1 Taktperiode vor /AS abgefragt.

Wenn eine Interruptanforderung vorliegt, benötigt der U 881 sieben Maschinenzyklen (48 Taktperioden) um die Interruptprioritäten festzustellen, den richtigen Interruptvektor auszuwählen und den Programmzähler, sowie die Flags im Kellerspeicher zu sichern. Obwohl Bild 12 das Zeitverhalten bei Anwendung eines externen Stacks darstellt, wird bei internem Stack dasselbe Zeitverhalten benutzt. Die gesamte Interruptantwortzeit (inkl. externer Interruptabfragezeit) für einen externen Interrupt beträgt 52 Taktperioden bis zu dem Zeitpunkt, bei dem der erste Befehl der Interruptserviceroutine geholt wird.
Gleichzeitig mit IACK wird auch das Bit 7 des Interruptmaskenregisters rückgesetzt, wodurch weitere Interruptanforderungen verhindert werden. Beim Holen des 1. Befehls der Interruptserviceroutine wird im Interruptrequestregister das dem Interrupt entsprechende Bit gelöscht.

Bild 12: Interrupt-Zeitverhalten - siehe Seite 168

Rücksetz-Zeitverhalten

Die interne Logik wird während des Rücksetzens initialisiert, wenn der Reset-Eingang für mindestens 18 Taktperioden (Bild 13) auf "Low" gehalten wird. Während der Zeit zu der /RESET "Low" ist, wird /AS mit der internen Taktrate ausgegeben. /DS auf "Low" gezogen. R|/W wird inaktiv und die Tore 0, 1 und 2 in den Eingabebetrieb gesetzt. Wenn /AS und /DS beide "Low" sind, ist das normalerweise eine sich gegenseitig ausschließende Bedingung; deshalb kann das Zusammentreffen von /AS "Low" und /DS "Low" als eine Rücksetzbedingung für andere Geräte benutzt werden.

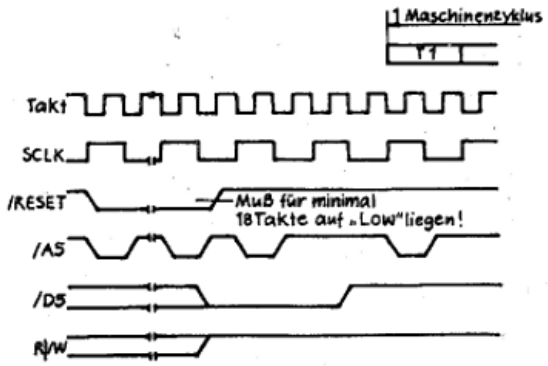
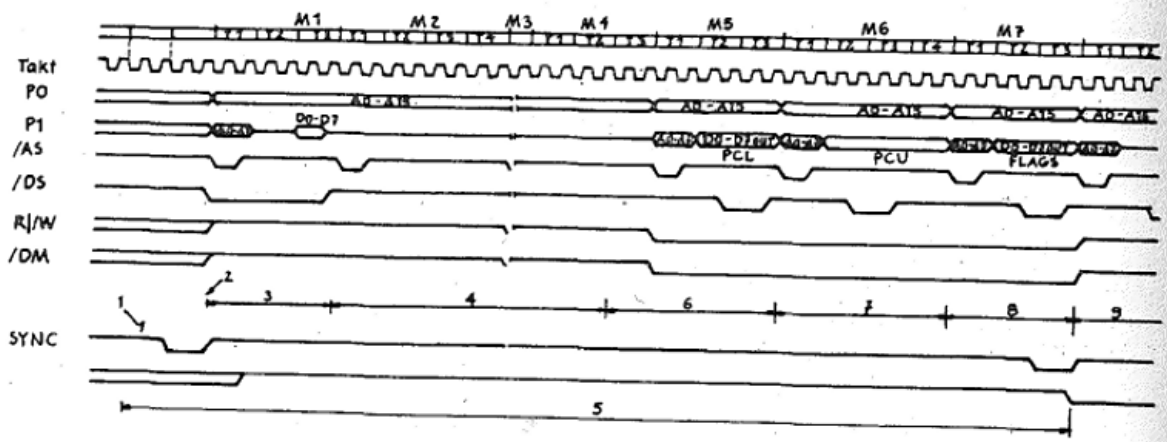


Bild 13: Zeitverhalten beim Rücksetz-Zyklus

Interrupts

Der EMR erlaubt 6 verschiedene Interrupts von 8 Quellen: die 4 Portleitungen P30-P33, serieller Eingang, serieller Ausgang und 2 Zähler|Zeitgeber. Diese Interrupts können maskiert und priorisiert werden, indem man das Interruptmaskenregister (IMR) R251 und das Interrupt-Prioritätsregister (IPR) R249 benutzt. Alle 6 Interrupts können global durch Rücksetzen des "Maskeninterruptenablebits" im Interruptmaskenregister (IMR) R251 unwirksam gemacht werden.



1 externe Interrupteingänge abgefragt
2 interne Interruptanforderungen abgefragt
3 Holen erstes Byte (Daten ignoriert)
4 interne Ausführung
5 Interruptantwortzeit = 52 Taktperioden
6 Sichern PCL im Stack
7 Sichern PCU im Stack
8 Sichern FLAGS im Stack
9 Holen des nächsten Befehls

Bild 12: Interrupt-Zeitverhalten

Alle EMR Interrupts sind vektorisiert. Falls ein Interrupt eintrifft, geht die Steuerung zu einer Serviceroutine über, die angezeigt durch den spezifischen Programmspeicherplatz, für diesen Interrupt reserviert wurde. Diese Programmspeicherzelle und das nächste Byte enthalten die 16-Bit-Adresse der Interruptserviceroutine für diese einzelne Interruptanforderung.

Tabelle 1 zeigt die möglichen Interrupts, ihre Quellen, den Typ und die Vektorspeicherplätze. Weil T0 den Takt für die SIO-Operationen liefert, schließen sich Interrupts von Zähler T0 und von der seriellen Ausgabe gegenseitig aus. Beide verwenden die gleiche Interruptanforderungsleitung IRQ4. Entsprechend ist der Interrupt der seriellen Eingabe mit IRQ3 verbunden, weil die serielle Eingabe über P30 (IRQ3) erfolgt. Die 4 Eingabe-PIN's des Ports 3 sind in jedem Fall die Interruptanforderungseingänge IRQ0 - IRQ4. Ein High-Low-Übergang erzeugt an ihnen immer eine Interruptanforderung.
6 Bits im Interrupt-Maskenregister R251 können individuell die 6 Interruptanforderungen IRQ0 - IRQ5 wirksam oder unwirksam machen. Bit 7 macht global alle Interrupts unwirksam. Falls mehr als ein Interrupt ansteht, werden die Prioritäten durch einen programmierbaren Prioritätsencoder gelöst, der durch das Interrupt-Prioritätsregister R249 gesteuert wird. Der Ausgang des Prioritätsencoders zeigt zu dem Vektorplatz im Programmspeicher, der mit der Interruptanforderung, die zu bedienen ist, verbunden ist. Bevor die Inhalte des Interrupt-Maskenregisters (IMR) oder des Interrupt-Prioritätsregisters (IPR) geändert werden, muß das Interruptenablebit des IMR durch den Befehl "Disable Interrupt" (DI) zurückgesetzt werden. Die Anwendung des DI-Befehls ist unbedingt für die korrekte Interruptbehandlung erforderlich.

Name	Quelle	Vektorplatz	Bemerkung	
IRQ 0	/DAV0, RDY0, IRQ0	0, 1	ext. (P32)	
IRQ 1	/DAV1, RDY1, IRQ1, BAK	2, 3	ext. (P33)	↓ flankengetriggert
IRQ 2	/DAV2, RDY2, IRQ2, T_{in}	4, 5	ext. (P31)	
IRQ 3	IRQ3	6, 7	ext. (P30)	
	Serieller Eingang	6, 7	int.	
IRQ 4	T0	8, 9	int.	
	Serieller Ausgang	8, 9	int.	
IRQ 5	T1	10, 11	int.	

Tabelle 1: Interrupttypen, -quellen und Vektorplätze

Falls eine Interruptanforderung gewährt wird, tritt der EMR in einen Interruptmaschinenzyklus ein, der alle folgenden Interrupts unwirksam macht, den Programmzähler und die Statusflags rettet und zu der Adresse springt, die der Vektorplatz für den Interrupt enthält. Erst an dieser Stelle geht die Steuerung zur Interruptserviceroutine über. Bild 14 stellt den Interruptzyklusprozess dar, falls eine Interruptanforderung eintrifft. Bild 12 stellt die aktuelle Interruptzeitfolge dar. Interrupts können wieder durch die Interruptbehandlungsroutine (EI-Befehl) aktiviert werden, um eine Interruptverschachtelung zu ermöglichen. Allerdings würde bei einer solchen Schachtelung der laufende Interrupt nicht mehr bei der Prioritätsermittlung berücksichtigt werden, da zu Beginn der Interruptserviceroutine bereits die Interruptanforderung im Interruptanforderungs-

register gelöscht wird. (Wiederpriorisierte Interrupts können also (nach EI) die Serviceroute des höherpriorisierten Interrupts unterbrechen). Interrupts können auch automatisch durch Verwenden eines Interruptreturnbefehls (IRET) als letzten Befehl der Interruptbehandlungsroutine wieder aktiviert werden. IRET speichert auch den Programmzähler und die Statusflags zurück.
Der EMR unterstützt beide Systeme, Abfrage- und Interruptsysteme. Zur Realisierung eines Abfragesystems können irgendwelche oder alle IRQ-Eingänge maskiert und das Interruptanforderungsregister abgefragt werden, um zu ermitteln, welche Interruptanforderung zu bedienen ist.

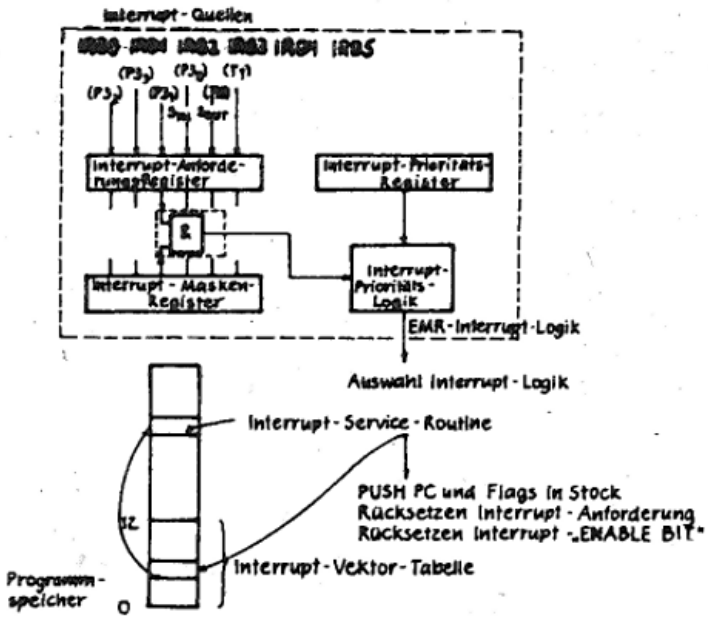


Bild 14: Interruptzyklusprozeß

Statusflags

Das Flagregister R252 enthält 8 Flags:

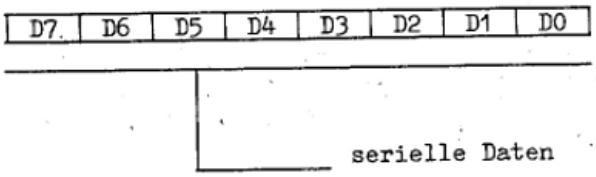
C	Carry
Z	Zero
S	Sign
V	Overflow
D	Decimal Adjust
H	Half-Carry
F1	Anwenderflag 1
F2	Anwenderflag 2

Die Anwenderflags F1 und F2 können vom Anwender für allgemeine Zwecke genutzt werden. Die "Half-Carry"- und "Decimal Adjust"-Flags sind spezielle Flags, die nur für spezifische Befehle genutzt werden. Die übrigen Flags können vom Programmierer mit Sprung- und relativen Sprungbefehlen genutzt werden, um ein Repertoire von 19 Testbedingungen zu liefern.

Die Flags können per Befehl gesetzt und rückgesetzt werden; jedoch nur jene Befehle, die die Flags nicht im Ergebnis der Ausführung beeinflussen, sollten verwendet werden (z.B. Lade Immediate). Zusätzlich kann das Carry-Flag durch den Set Carry Flag (SCF)-Befehl auf "1" gesetzt, durch den Reset Carry Flag (RCF)-Befehl gelöscht oder durch den Complement Carry Flag (CCF)-Befehl komplementiert werden.

Beschreibung der Steuerregister

R240 - Serielles Ein-|Ausgaberegister (SIO)



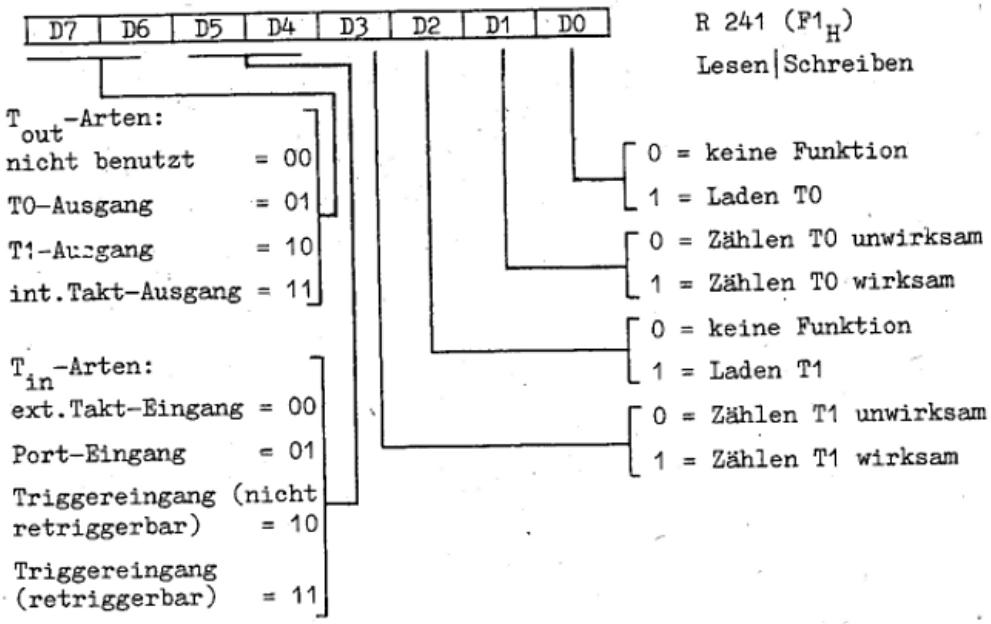
R 240 ($F0_H$)
(Lesen|Schreiben)

Lesen 240 = Empfangsdaten

Schreiben R240 = Sendedaten

Das Register R 240 wird als serielles Ein-|Ausgabedatenregister verwendet, wenn Bit 6 des R247 auf 1 gesetzt ist. Damit werden P30 und P37 als serielle Ein- und Ausgangsleitungen konfiguriert. Wenn keine Parität gewünscht wird, enthält R240 auf allen 8 Bits Sendedaten. Wenn Parität gewählt wurde, enthält D7 von R240 die ungerade Parität während seriellem Sendens und ein Paritätsfehlerflog während des Empfangs. Parität wird durch Setzen von D7 des R247 ausgewählt. Falls R240 gelesen wird, wird das Zeichen in den Empfangspuffer gelesen; falls geschrieben wird, wird ein Zeichen in den Sender geladen.

R241 - Zeitgeberbetriebsartenregister (TMR)



Dieses Register wählt die Betriebsarten des Zähler-|Zeitgeber-Taktes aus und steuert T0 und T1.

. Laden T0 (D0):

Nachdem dieses Bit gesetzt wurde, werden die Inhalte des T0-Laderegisters und des T0-Vorteiler-Laderegisters zum T0-Zähler und Vorteiler übertragen. Dadurch allein wird der Zähler jedoch nicht gestartet, DD wird jedoch nach dem Laden oder nach einem Masterreset automatisch zurückgesetzt.

. Zählen T0 wirksam (D1):

D1 aktiviert oder entaktiviert T0-Zähloperationen. Falls es gesetzt ist, werden die Werte in T0 und seinem Vorteiler heruntergezählt, wobei der interne Takt benutzt wird. Falls es zurückgesetzt ist, wird das Herunterzählen unterbrochen. D1 wird nach einem Masterreset zurückgesetzt. Es ist zulässig, das Ladebit D0 und das Zählaktivierungsbit D1 gleichzeitig zu setzen.

. Laden T1 (D2):

Funktion analog "Laden T0"

. Zählen T1 wirksam (D3):

Funktion analog "Zählen T0 wirksam"

. Betriebsarten des externen Zeitgebereinganges (D4, D5):

Über D4 und D5 werden codiert die 4 Betriebsarten des externen Zeitgebereinganges (T_{in}) für den Zähler|Zeitgeber definiert. Vorher muß jedoch P31 als ein externer Zeitgebereingang definiert werden (R243, D1)!

D5	D4	T_{in} benutzt als	Bemerkung
0	0	ext. Takteingang	T_{in} wird benutzt als ein externer Takt für T1. In dieser Betriebsart umgeht der externe Takt den 1 : 4-Teiler und steuert direkt den Vorteiler an.
0	1	Toreingang für internen Takt (aktiv "High")	T1 wird durch internen Takt getaktet (XTAL-Frequenz geteilt durch 8), der durch diesen Eingang getort wird. Falls der Toreingang von "High" auf "Low" schaltet, wird falls freigegeben, ein Interrupt erzeugt.
1	0	Nicht retriggerbarer Triggereingang	T1 wird geladen und mit dem internen Takt getaktet, wenn an diesem Eingang "High-to-Low"-Übergang auftritt. Weitere Übergänge beeinflussen die T1-Operation bis zum Ende des Zählers nicht.
1	1	Retriggerbarer Triggereingang	T1 wird geladen und mit dem internen Takt getaktet, wenn ein "High-to-Low"-Übergang an T_{in} auftritt. Falls zusätzliche Triggerimpulse T_{in} eintreffen, wird der Anfangswert zurückgeladen und die Zählung wird neu gestartet, wenn modulo-n-count programmiert wurde.

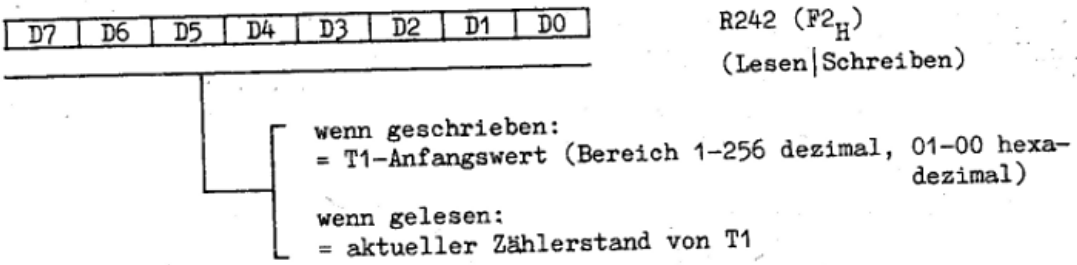
Tabelle 2: T_{in}-Funktionen und Arbeitsweise

. Betriebsarten des Zählers|Zeitgeberausganges (D6, D7):

Über D6 und D7 werden codiert die 4 Betriebsarten des Zeitgeberausgangssignals definiert. Wenn D6 oder|und D7 gesetzt ist, muß P36 ebenfalls (als T_{out}) festgelegt werden. Falls D6 und D7 beide auf "0" gesetzt sind (unbenutzte Funktion), dann wird P36 als Ausgabebit und durch D5 von R247 gesteuert. Bei Nutzung von T0 und Y1 erfolgt das Umschalten von T_{out} durch das Ende der Zählung von T0 oder T1.

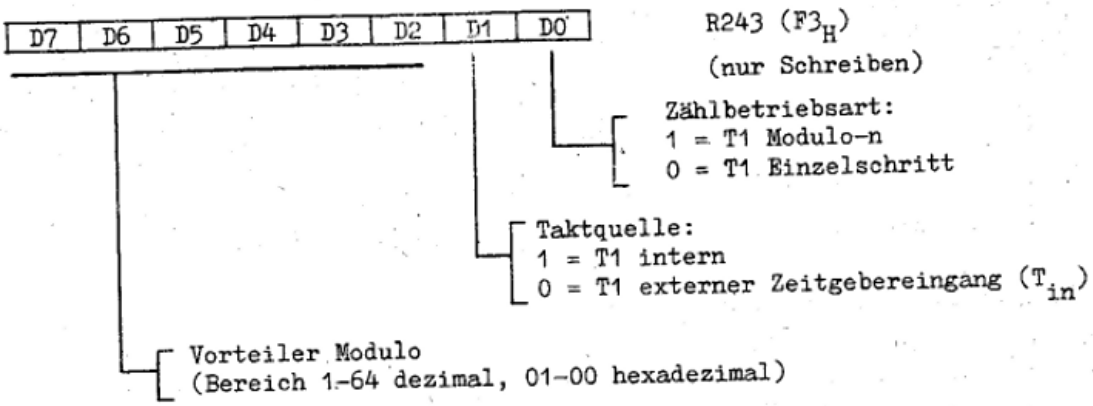
D7	D6	T_{out}-Funktion
0	0	nicht benutzt
0	1	T0-Ausgang
1	0	T1-Ausgang
1	1	Systemtakt (1|2 XTAL-Frequenz)

R242 - Zähler-|Zeitgeberregister 1 (T1)



R243 - Vorteilerladeregister 1 (PRE1)

Dieses Register speichert den T1-Vorteiler-Anfangswert und definiert die T1-Taktquellen und Zählbetriebsarten.



. Auswahl der Betriebsarten (D0):

Wenn dieses Bit zurückgesetzt ist, dann arbeitet T1 im Einzelschritt-Zählbetrieb, bei dem der Wert in T1 nach jedem Ladebefehl T1 (R241, D2) einmal bis Null heruntergezählt wird. Eine Interruptanforderung wird ausgelöst, wenn das Ende der Zählung erreicht wird. Wenn D0 gesetzt ist, arbeitet T1 im Modulo-n-Zählbetrieb (fortlaufend). Nach Empfang des Befehls "Lade T1" werden die

T1-Anfangswerte geladen und heruntergezählt bis das Ende der Zählung erreicht ist. Die Anfangswerte werden jeweils zurückgeladen und heruntergezählt, solange das Zähleraktivierungsbit für T1 (R241, D3) gesetzt ist. Das Laden des Laderegisters mit neuen Werten hat keinen Einfluß auf die laufende Zähloperation. Beim Erreichen des Endes der Zählung wird der neue Anfangswert für die folgenden Zählzyklen in den Zähler geladen.

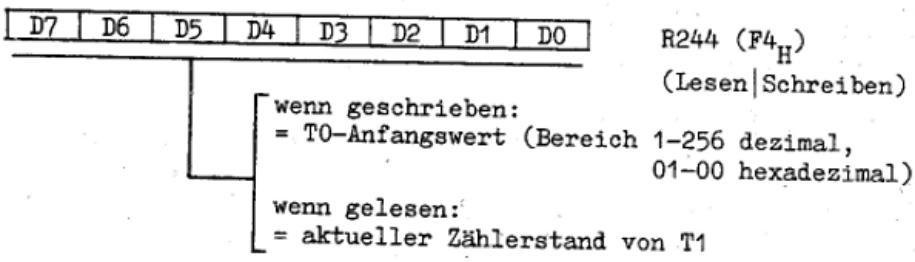
- Auswahl der T1-Taktquelle (D1):

  Falls D1 zurückgesetzt ist, liefert T_{in} den T1-Takt. Wenn es gesetzt ist, liefert der interne Takt (Systemtakt geteilt durch 4) den T1-Takt. Bei Benutzung von T_{in} für den Takt muß im TMR-Register (R241) die entsprechende Betriebsart festgelegt werden!

- Vorteilerwert von T1 (D2-D7):

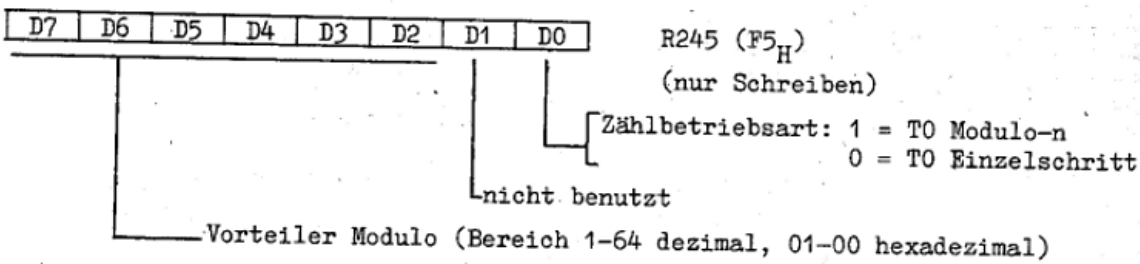
  Dieser 6-Bit-Wert bestimmt den Modulo des Vorteilers. Das niedrigste Bit ist D2.

R244 - Zähler-|Zeitgeberregister 0 (T0)



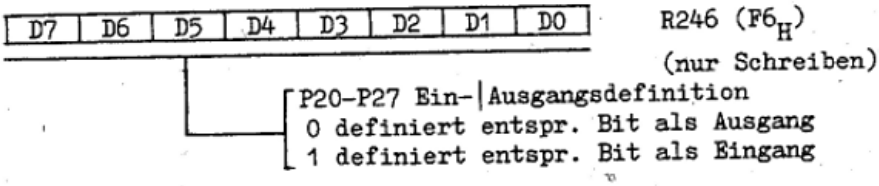
R245 - Vorteilerladeregister 0 (PRE0)

Dieses Register hat dieselben Funktionen wie das entsprechende Register von T1 (R243), mit Ausnahme von D1, das nicht benutzt wird.



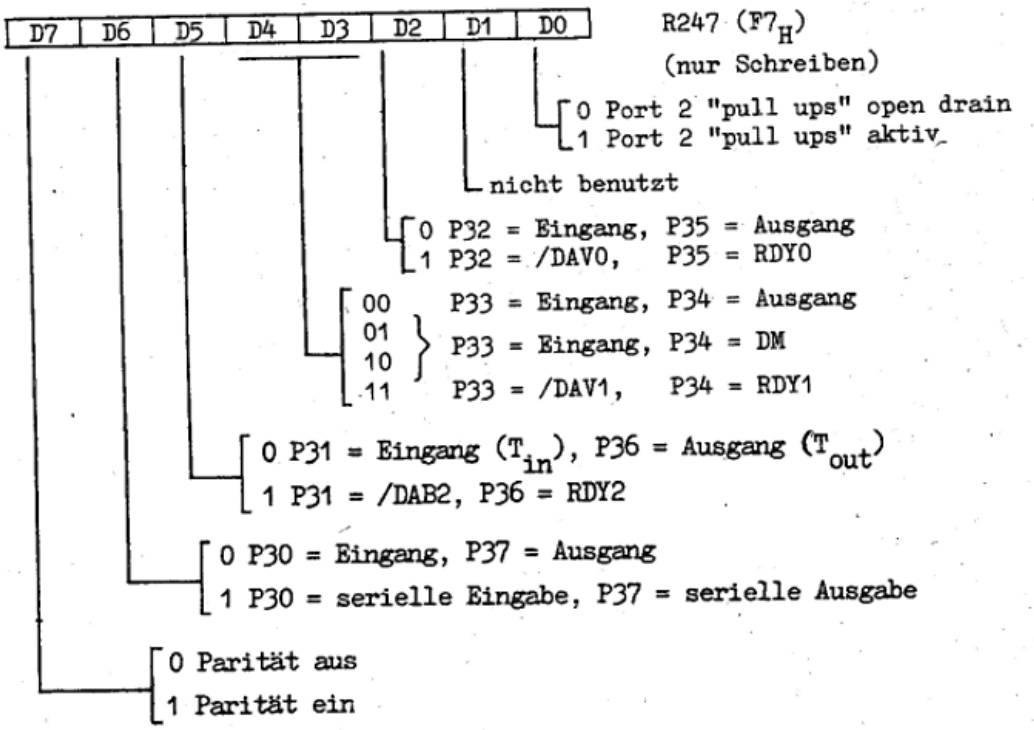
R246 - Betriebsart Port 2 (P2M)

Dieses Register kann jedes Bit von Port 2 als eine Eingangs- oder eine Ausgangsleitung programmieren. Beim Setzen eines Bits von R246 wird die damit korrespondierende Leitung von Port 2 als Eingang definiert. Wenn ein Bit zurückgesetzt ist, wird die entsprechende Leitung als Ausgang definiert. Nach einem Master-Reset enthält R 246 den Wert FF_H und alle Leitungen von Port 2 sind als Eingänge definiert. Die Betriebsart von Port 2 wird ferner durch D0 von R247 spezifiziert.



R247 - Betriebsart Port 3 (P3M)

Dieses Register legt fest, welche Leitungen von Port 3 für parallele Ein-|Ausgabe, Interruptanforderung, Zeitgeber-Ein-|Ausgabe und Handshake- oder Statusausgänge verwendet werden.



. "Pull-ups" von Port 2 (D0):

Im zurückgesetzten Zustand liefert dieses Bit Open-Drain-Ausgänge für Port 2, indem die aktiven "Pull-ups" in ihrer Wirkung aufgehoben werden. Open-Drain-Ausgänge erlauben, daß die Leitungen von Port 2 mit anderen Signalen Wired-Or verknüpft werden können.

. Nicht benutzt (D1)

. Betriebsart von P32 und P35 (D2):

Dieses Bit legt fest, ob P32 und P35 für die Ein-|Ausgabe von Port 3 verwendet werden oder ob sie als Handshake-Leitungen das Port 0 unterstützen.

D2	Funktion
0	P32 = Eingang, P35 = Ausgang
1	P32 = /DAV0|RDY0, P35 = RDY0|/DAV0

. Betriebsart von P33 und P34 (D3, D4):

Diese Bits legen fest, ob P33 und P34 für die Ein-|Ausgabe verwendet werden oder ob sie die Funktionen von Port 1 unterstützen.

D4 und D3		Funktion
0	0	P33 = Eingang, P34 = Ausgang
0	1	P33 = Eingang, P34 = /DM
1	0	
1	1	P33 = /DAV1|RDY1, P34 = RDY1|/DAV1

. Betriebsart von P31 und P36 (D5):

Dieses Bit legt fest, ob P31 und P36 für Ein-|Ausgabe (D5=0) konfiguriert werden oder zur Handshake-Steuerung (D5=1) als Unterstützung von Port 2 benutzt werden. Wenn sie für Ein-|Ausgabe programmiert sind, spiegeln P31 und P36 gewöhnlich die R3-Registerbits 1 und 6 wieder, es können jedoch andere Datenquellen wie folgt ausgewählt werden:
Wenn Bit D1 vom T1-Vorteilerregister R243 zurückgesetzt wird, wird P31 der Zeitgebersteuereingang (T_{in}) und verhält sich entsprechend der Wahrheitstabelle, die die Bits D4 und D5 des Zeitgeberbetriebsartenregisters R241 beschreibt. Bit D1 von R243 muß gesetzt werden, um P31 als eine Dateneingangsleitung für R3 zu aktivieren. Der Ausgang P36 wird T_{out} (entweder für T0 oder für T1) oder SCLK in Abhängigkeit der Bits D6 und D7 des Betriebsartenregisters des Zeitgebers (R241). Um P36 als Datenausgang für R3 zu aktivieren, müssen die Bits D6 und D7 beide auf Null zurückgesetzt werden. Wenn P31 und P36 zur Handshake-Steuerung, haben D4-D7 von R241 und D1 von R243 keinen Einfluß.

D5	Funktion
0	P31 = Eingang (T_{in}), P36 = Ausgang (T_{out})
1	P31 = /DAV2|RDY2, P36 = RDY2|/DAV2

. Betriebsart von P30 und P37 (D6):

Dieses Bit legt fest, ob P30 und P37 für Ein-|Ausgabe oder für serielles Empfänger-|Sender-Interface benutzt werden.

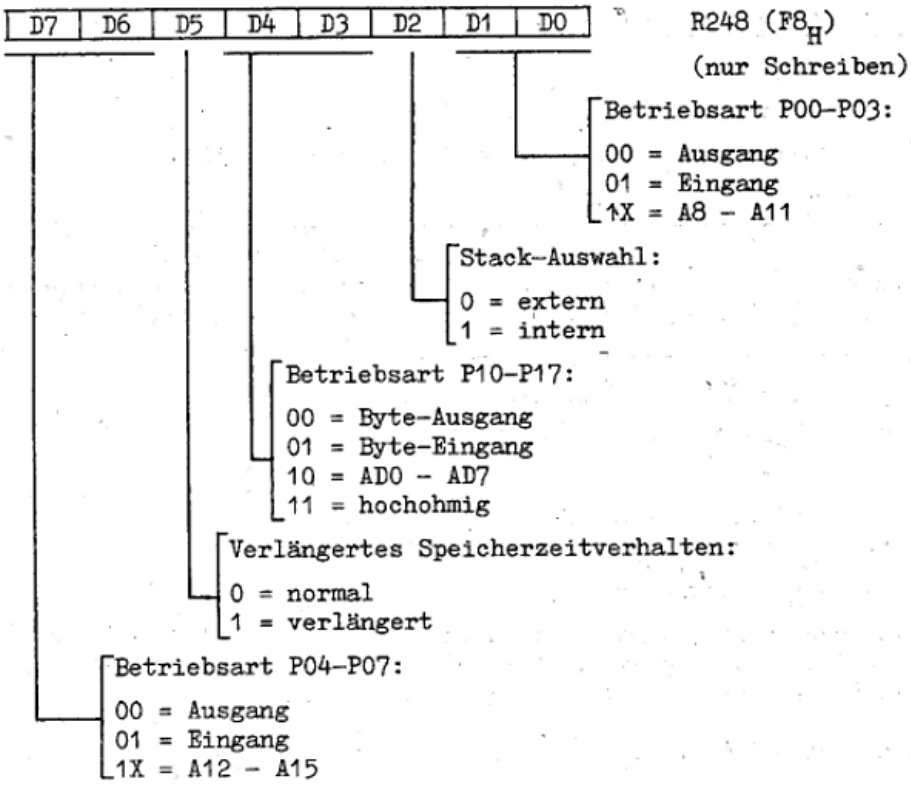
D6	Funktion
0	P30 = Eingang, P37 = Ausgang
1	P30 = serielle Eingabe, P37 = serielle Ausgabe

. Parität (D7):

Wenn mittels D6 serielle Ein-|Ausgabe ausgewählt wird, dann erhält man durch Setzen von D7 ungerade Parität für die Sendedaten und ungerade Parität bei der Prüfung der Empfangsdaten.

R248 - Betriebsarten Ports 0 und 1 (P01M)

Dieses Register konfiguriert die Ports 0 und 1, wählt einen internen oder externen Stack und wählt normales Speicherzeitverhalten aus.



. Betriebsarten von Port 0 (D0, D1):

Mit den Bits D0 und D1 von R248 wird die Betriebsart der Leitungen P00 - P03 von Port 0 festgelegt. Nach einem Rücksetzen wird das untere Nibbel von Port 0 für die Eingabebetriebsart konfiguriert. Vorrangig ist jedoch D7 zu beachten:
Wenn D7 von R248 gesetzt ist, dann enthält das untere Nibbel von Port 0 immer A8 - A11, unabhängig von der durch D0 und D1 vorgegebenen Konfiguration!

D7	D1	D0	Konfiguration von P00 - P03
0	0	0	4-Bit-Ausgang
0	0	1	4-Bit-Eingang
0	1	X	4-Bit-Adresse (A8-A11)
1	X	X	4-Bit-Adresse (A8-A11)

. Auswahl des Stack-Bereiches (D2):

Wenn D2 gesetzt ist, befindet sich der Stack in der internen Registerdatei und durch den Stack-Pointer (Kellerspeicherzeiger) SPL (R255) wird auf ihn gezeigt. Wenn D2 zurückgesetzt ist, befindet sich der Stack im externen Datenspeicher und durch den Stack-Pointer SP (R254 und R255) wird auf ihn gezeigt. Während der Nutzung des internen Stacks (D2=1) kann R254 als ein Datenregister verwendet; der Über- oder Unterlauf von R255 muß dann jedoch exakt gehandelt werden.

. Betriebsart von Port 1 (D3, D4):

Mit diesem Bit wird die Betriebsart der Leitungen P10 - P17 von Port 1 festgelegt. Nach einem Rücksetzen wird Port 1 als die 8-Bit-Eingangsport konfiguriert.

D4	D3	Konfiguration von P10 - P17
0	0	8-Bit-Ausgang
0	1	8-Bit-Eingang
1	0	8-Bit-Adressen|Daten, zeitmultiplexe (AD0-AD7)
1	1	hochohmiger Zustand

In der nachstehenden Tabelle wird der Zusammenhang zwischen dem hochohmigen Zustand und den durch R248 ausgewählten Adreß-Betriebsarten verdeutlicht:

D7	D4	D3	D1	3-State-Leitungen
0	1	1	0	Port 1, /AS, /DS, R|/W
0	1	1	1	Port 1, /AS, /DS, R|/W, P00-P03
1	1	1	X	Port 1, /AS, /DS, R|/W, P00-P07

. Verlängertes Speicherzeitverhalten (D5):

Wenn dieses Bit gesetzt ist, wird der Speicherzyklus um eine Taktperiode verlängert, was den Anschluß langsamerer Speicher ermöglicht. Wenn es rückgesetzt ist, wird normales Zeitverhalten für externe Speicher ausgewählt.

. Betriebsart von Port 0 (D6, D7):

Diese Bits steuern die Betriebsart der Leitungen P04-P07 von Port 0. Nach einem Rücksetzen wird das obere Nibbel von Port 0 für die Betriebsart "Eingabe" konfiguriert. Wenn D7 gesetzt ist, werden P00-P03 zu A8 - A11 - unabhängig davon, ob die Bits D0 und D1 eine andere Konfiguration festlegen.

D7	D6	Konfiguration von P04 - P07
0	0	4-Bit-Ausgang
0	1	4-Bit-Eingang
1	X	4-Bit-Adresse (A12 - A15)

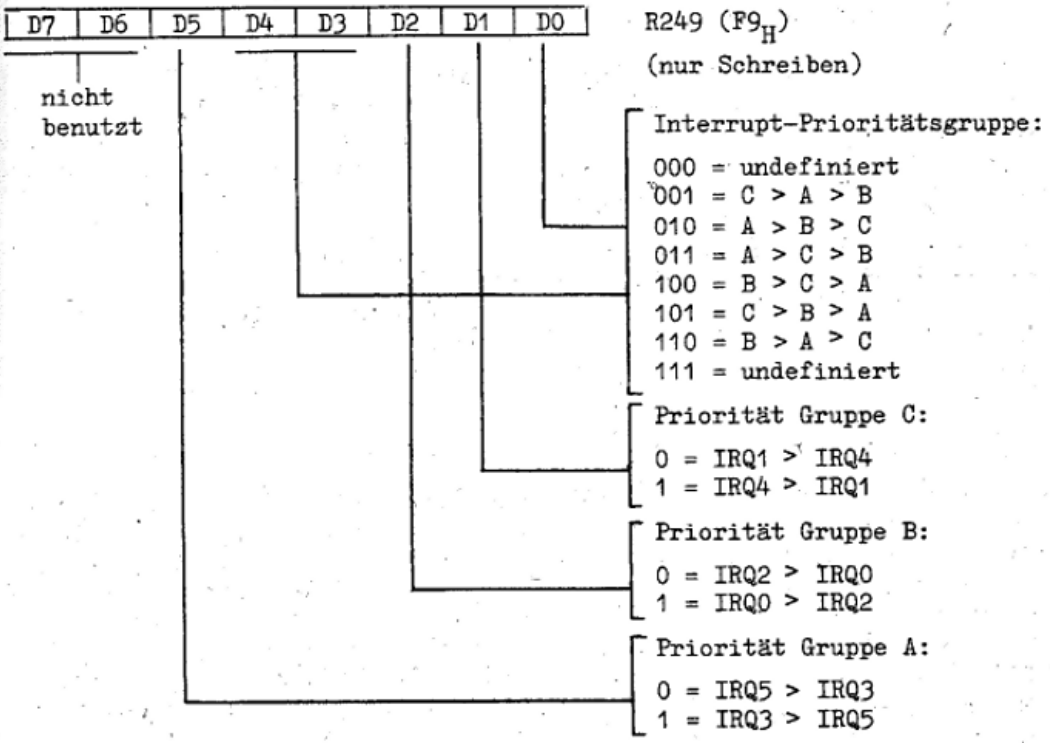
R249 - Interruptprioritätsregister (IPR)

Dieses Register priorisiert die 6 Ebenen der vektorisierten Interrupts. Es können 48 verschiedene Reihenfolgen priorisiert werden, um gleichzeitige Interruptanforderungen entflechten zu können. Die 6 Interruptebenen IRQ0 - IRQ5 werden in 3 Gruppen unterteilt - hier mit A, B und C bezeichnet - die je 2 Interruptanforderungen enthalten:

A: IRQ3 (SI|P30) und IRQ5 (T1)

B: IRQ0 (P32) und IRQ2 (P31)

C: IRQ1 (P33) und IRQ4 (S0|T0)



. Die Bits D1, D2 und D5 von R249 bestimmen die Priorität der individuellen Komponenten innerhalb der einzelnen Gruppen:

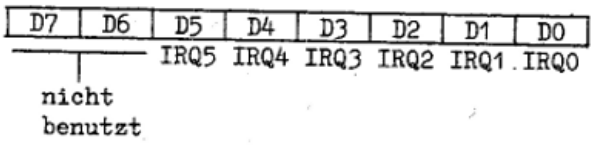
Gruppe	Bit	Priorität höchste	Priorität niedrigste
C	D1 = 0	IRQ1	IRQ4
	1	IRQ4	IRQ1
B	D2 = 0	IRQ2	IRQ0
	1	IRQ0	IRQ2
A	D5 = 0	IRQ5	IRQ3
	1	IRQ3	IRQ5

. Die Bits D0, D3 und D4 von R249 legen die Priorität der Gruppen A, B und C untereinander fest:

D4	D3	D0	Priorität höchste → niedrigste
0	0	0	nicht benutzt
0	0	1	C A B
0	1	0	A B C
0	1	1	A C B
1	0	0	B C A
1	0	1	C B A
1	1	0	B A C
1	1	1	nicht benutzt

R250 - Interruptanforderungsregister (IRQ)

Dieses Register speichert die Interruptanforderungen. Da es ein Lese-|Schreibregister ist, kann es auch für Abfrage (Polling) verwendet werden. Bei einem Interrupt von einer der 6 Ebenen wird in das entsprechende Bit eine "1" eingeschrieben. Die Bits D0-D5 von R250 entsprechen genau den Interruptanforderungen IRQ0-IRQ5. D6 und D7 werden nicht benutzt.



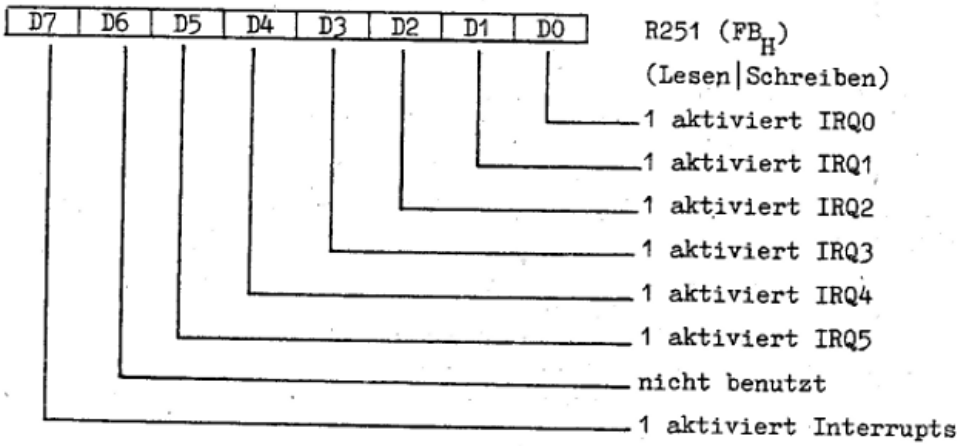
R250 (FA_H)
(Lesen|Schreiben)

R251 - Interruptmaskenregister (IMR)

Dieses Register aktiviert - individuell oder global - die 6 Interruptanforderungen. Wenn die Bits D0-D5 gesetzt sind, dann sind die entsprechenden Interruptanforderungen aktiviert. Bevor jedoch irgendeine (individuelle) Interruptanforderung anerkannt werden kann muß D7, das "Master"-Aktivierungsbit gesetzt werden. Das Rücksetzen von D7 macht global alle Interruptanforderungen unwirksam. D7 wird durch den Befehl "Enable Interrupt" (EI) gesetzt und durch "Disable Interrupt" (DI) rückgesetzt. D7 kann auch durch Ladebefehle gesetzt werden, hat aber nur dann eine interruptfreigebende Wirkung, wenn nach Reset bereits irgendwann einmal der Befehl EI abgearbeitet wurde. Ein Rücksetzen von D7 durch Ladebefehle bewirkt ein Sperren aller Interrupts. Während eines Interruptmaschinenzyklus wird D7 automatisch zurückgesetzt und nach der Ausführung des "Interrupt-Return"-Befehls (IRET) gesetzt.

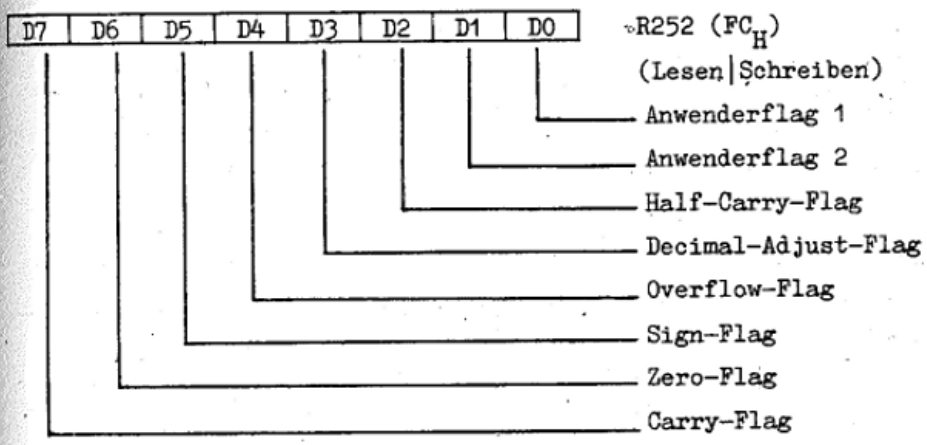
Achtung!

D7 muß mittels DI-Befehl zurückgesetzt werden, bevor der Inhalt des Interruptmaskenregisters oder des Interruptprioritätsregisters (R249) geändert wird!



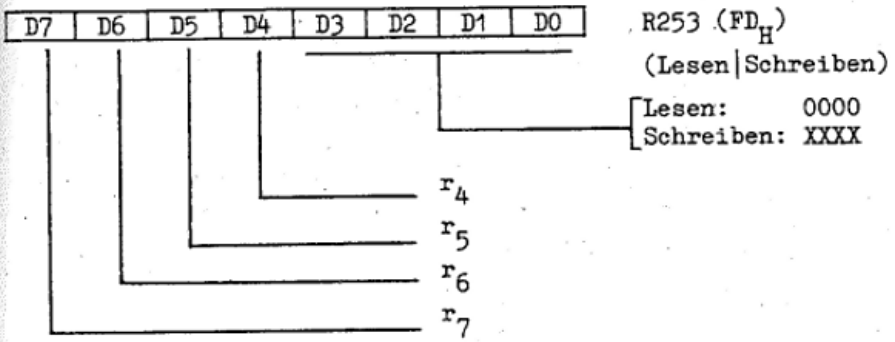
R252 -Flagregister (FLAGS)

Die Bits D2-D7 enthalten die Statusflags, die Bits D0 und D1 sind vom Anwender definierbar.



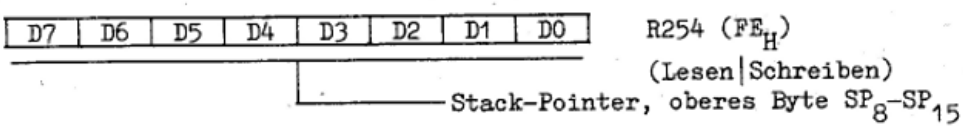
R253 - Register-Pointer (RP)

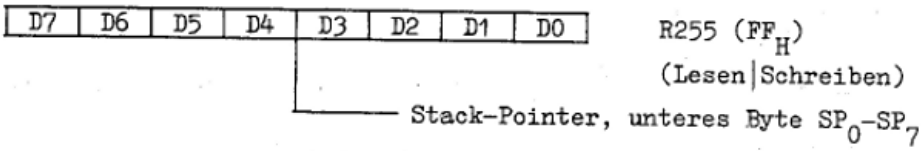
Die vier oberen Bits dieses Registers bilden einen Registerzeiger, der zum Anfang der laufenden Arbeitsregistergruppe zeigt. Die unteren vier Bits (Registerkennzeichner), die ein Register innerhalb der Arbeitsregistergruppe spezifizieren, werden durch den entsprechenden Befehl geliefert. Beim Lesen des Register-Pointers sind die 4 niederwertigen Bits (D0-D3) immer Null, beim Schreiben können sie beliebig sein.



R254, R255 - Stack-Pointer (SPH, SPL)

Der Stack-Pointer (Kellerspeicherzeiger) setzt sich aus zwei 8-Bit-Registern zusammen:
SPL (R255) enthält das niedere Adreßbyte
SPH (R254) enthält das obere Adreßbyte





Bekanntlich legt Bit D2 von R248 fest, ob der Stack in der Registerdatei oder im externen Speicher liegt. Wenn der Stack intern ist, wird R254 nicht als Stack-Pointer benutzt und ist als Datenregister verwendbar. Dabei muß jedoch der Über- oder Unterlauf von R255 exakt gehandhabt werden.

Registerinhalte nach dem Rücksetzen

Tabelle 3 gibt Auskunft über die Inhalte der Steuerregister R240-R255 nach einem Rücksetzen.

Steuerregister			D7	D6	D5	D4	D3	D2	D1	D0	Bemerkung
	Funktion	Adr.Hex									
R240	SIO	F0	nicht definiert								-
R241	TMR	F1	0	0	0	0	0	0	0	0	Stoppt T0 und T1
R242	T1	F2	nicht definiert								-
R243	PRE1	F3	X	X	X	X	X	X	0	0	Einzelschritt-Zählbetrieb, externe Taktquelle
R244	T0	F4	nicht definiert								-
R245	PRE0	F5	X	X	X	X	X	X	X	0	Einzelschritt-Zählbetrieb
R246	P2M	F6	1	1	1	1	1	1	1	1	Port 2 = Eingänge
R247	P3M	F7	0	0	0	0	0	0	X	0	Port 2 = "Pull ups" open drain, P30-P33 = Eingänge, P34-P37 = Ausgänge
R248	P01M	F8	0	1	0	0	1	1	0	1	Ports 0, 1 = Eingänge, normaler Speicherzyklus, Stack intern
R249	IPR	F9	nicht definiert								-
R250	IRQ	FA	X	X	0	0	0	0	0	0	Interruptanforderungen zurückgesetzt
R251	IMR	FB	0	X	X	X	X	X	X	X	Interrupts unwirksam
R252	FLAGS	FC	nicht definiert								-
R253	RP	FD	nicht definiert								-
R254	SPH	FE	nicht definiert								-
R255	SPL	FF	nicht definiert								-

Tabelle 3: Registerinhalte nach dem Rücksetzen

Befehlssatz der EMR-Schaltkreise

Funktionelle Zusammenfassung der Befehle

Sämtliche EMR-Befehle lassen sich funktionell in 8 Gruppen unterteilen:

- Ladebefehle
- Arithmetik-Befehle
- Logische Befehle
- Programmsteuerbefehle (Sprungbefehle)
- Bitbehandlungsbefehle (Testbefehle)
- Blocktransferbefehle
- Rotations- und Schiebebefehle
- CPU-Steuerbefehle

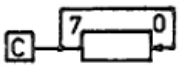
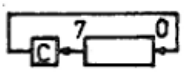
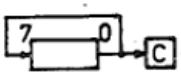
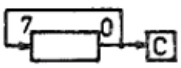
Im folgenden werden die einzelnen Befehle (gruppenweise) zusammengefaßt dargestellt.

Zusammenfassung der Befehle

Befehl und Funktion	Adressierungsart dst	Adressierungsart src	Hex Operationscode	Ausführung Bytes	Ausführung Zyklen	Pipeline-Zyklen	Flags C Z S V D H
ADC dst, src dst ← dst+src+C	r	r	12	2	6	5	↕ ↕ ↕ ↕ 0 ↕
	r	Ir	13	2	6		
	R	R	14	3	10		
	R	IR	15	3	10		
	R	IM	16	3	10		
	IR	IM	17	3	10		
ADD dst, src dst ← dst+src	r	r	02	2	6	5	↕ ↕ ↕ ↕ 0 ↕
	r	Ir	03	2	6		
	R	R	04	3	10		
	R	IR	05	3	10		
	R	IM	06	3	10		
	IR	IM	07	3	10		
AND dst, src dst ← dst AND src	r	r	52	2	6	5	. ↕ ↕ 0 . .
	r	Ir	53	2	6		
	R	R	54	3	10		
	R	IR	55	3	10		
	R	IM	56	3	10		
	IR	IM	57	3	10		
CALL dst SP ← SP-2 ⓐ SP ← PC PC ← dst	DA		D6	3	20	0	. . . . .
	IRR		D4	2	20	0	
CCF C ← /C			EF	1	6	5	↕ . . . . .
CLR dst dst ← 0	R		B0	2	6	5	. . . . .
	IR		B1	2	6		
COM dst dst /dst	R		60	2	6	5	. ↕ ↕ 0 . .
	IR		61	2	6		
CP dst, src dst ← /src	r	r	A2	2	6	5	↕ ↕ ↕ ↕ . .
	r	Ir	A3	2			
	R	R	A4	3	10		
	R	IR	A5	3	10		
	R	IM	A6	3	10		
	IR	IM	A7	3	10		

Befehl und Funktion	Adressierungsart dst	Adressierungsart src	Hex Operationscode	Ausführung Bytes	Ausführung Zyklen	Pipeline-Zyklen	Flags C Z S V D H
DA dst dst ← DA dst	R IR		40 41	2 2	8 8	5	↕ ↕ ↕ X . .
DEC dst dst ← dst-1	R IR		00 01	2 2	6 6	5	. ↕ ↕ ↕ . .
DECW dst dst ← dst-1	RR IR		80 81	2 2	10 10	5	. ↕ ↕ ↕ . .
DI IMR(7) ← 0			8F	1	6	1	. . . . . .
DJNZ r, dst r ← r-1 if r#0 PC ← PC+dat Range: +127, -128	RA		rA r=0-F	2	12|10 (durchgeführt|nicht durchgeführt)	3|5	. . . . . .
EI IMR (7) ← 1			9F	1	6	1	. . . . . .
INC dst dst ← dst+1	r R IR		rE r=0-F 20 21	1 2 2	6 6 6	5	. ↕ ↕ ↕ . .
INCW dst dst ← dst+1	RR IR		A0 A1	2 2	10 10	5	. ↕ ↕ ↕ . .
IRET Flags ← (a) SP SP ← SP+1 PC ← (a) SP SP ← SP+2 IMR (7) ← 1			BF	1	16	0	| | | | | |
JP cc, dst if cc is true, PC ← dst	DA IRR		cD c=0-F 30	3 2	12|10 (durchgeführt|nicht durchgeführt) 8	0	. . . . . .

Befehl und Funktion	Adressierungsart dst	Adressierungsart src	Hex Operationscode	Ausführung Bytes	Ausführung Zyklen	Pipeline-Zyklen	Flags C Z S V D H
JR cc, dst if cc is true PC ← PC+dst Range: +127, -128	RA		cB c=0-F	2	12|10 (durchgeführt|nicht durchgeführt)	0	. . . . .
LD dst, src dst ← src	r	IM	rC	2	6	5	. . . . .
	r	R	r8	2	6		
	R	r	r9	2	6		
			r=0-F				
	r	x	C7	3	10		
	x	r	D7	3	10		
	r	Ir	E3	2	6		
	Ir	r	F3	2	6		
	R	R	E4	3	10		
	R	IR	E5	3	10		
	R	IM	E6	3	10		
	IR	IM	E7	3	10		
	IR	R	F5	3	10		
LDC dst src dst ← src	r	Irr	C2	2	12	0	. . . . .
	Irr	r	D2	2	12		
LDCI dst, src dst ← src r ← r+1 rr ← rr+1	Ir	Irr	C3	2	18	0	. . . . .
	Irr	Ir	D3	2	18		
LDE dst, src dst ← src	r	Irr	82	2	12	0	. . . . .
	Irr	r	92	2	12		
LDEI dst, src dst ← src r ← r+1 rr ← rr+1	Ir	Irr	83	2	18		. . . . .
	Irr	Ir	93	2	18		
NOP			FF	1	6	0	. . . . .

Befehl und Funktion	Adressierungsart dst	Adressierungsart src	Hex Operationscode	Ausführung Bytes	Ausführung Zyklen	Pipeline-Zyklen	Flags C Z S V D H
OR dst, src dst ← dst OR src	r	r	42	2	6	5	↕ ↕ 0
	r	Ir	43	2	6		
	R	R	44	3	10		
	R	IR	45	3	10		
	R	IM	46	3	10		
	IR	IM	47	3	10		
POP dst dst ← (a) SP SP SP+1	R		50	2	10	5	
	IR		51	2	10		
PUSH src SP ← SP−1		R	70	2	10|12 (int|ext stack)	1	
(a) SP ← src		IR	71	2	12|14 (int|ext stack)		
RCF C ← 0			CF	1	6	5	0
RET PC ← (a) SP SP ← SP+2			AF	1	14	0	
RL dst 	R		90	2	6	5	↕ ↕ ↕ ↕
	IR		91	2	6		
RLC dst 	R		10	2	6	5	↕ ↕ ↕ ↕
	IR		11	2	6		
RR dst 	R		E0	2	6	5	↕ ↕ ↕ ↕
	IR		E1	2	6		
RRC dst 	R		C0	2	6	5	↕ ↕ ↕ ↕
	IR		C1	2	6		

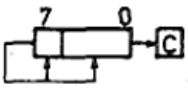
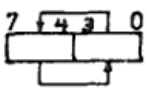
Befehl und Funktion	Adressierungsart dst	Adressierungsart src	Hex Operations-	Ausführung Bytes	Ausführung Zyklen	Pipeline-Zyklen	Flags C Z S V D H
SBC dst,src	r	r	32	2	6	5	↕ ↕ ↕ ↕ 1 ↕
dst ← dst-src-C	r	Ir	33	2	6		
	R	R	34	3	10		
	R	IR	35	3	10		
	R	IM	36	3	10		
	IR	IM	37	3	10		
SCF			DF	1	6	5	1 . . . . .
C ← 1							
SRA dst	R		D0	2	6	5	↕ ↕ ↕ 0 . .
	IR		D1	2	6		
SRP src		IM	31	2	6	1	. . . . .
RP ← src							
SUB dst,src	r	r	22	2	6	5	↕ ↕ ↕ ↕ 1 ↕
dst ← dst-src	r	Ir	23	2	6		
	R	R	24	3	10		
	R	IR	25	3	10		
	R	IM	26	3	10		
	IR	IM	27	3	10		
SWAP dst	R		F0	2	8	5	X ↕ ↕ X . .
	IR		F1	2	8		
TCM dst, src	r	r	62	2	6	5	. ↕ ↕ 0 . .
(not dst) AND	r	Ir	63	2	6		
src	R	R	64	3	10		
	R	IR	65	3	10		
	R	IM	66	3	10		
	IR	IM	67	3	10		
TM dst, src	r	r	72	2	6	5	. ↕ ↕ 0 . .
dst AND src	r	Ir	73	2	6		
	R	R	74	3	10		
	R	IR	75	3	10		
	R	IM	76	3	10		
	IR	IM	77	3	10		
XOR dst, src	r	r	B2	2	6	5	. ↕ ↕ 0 . .
dst ← dst XOR	r	Ir	B3	2	6		
src	R	R	B4	3	10		
	R	IR	B5	3	10		
	R	IM	B6	3	10		
	IR	IM	B7	3	10		

Tabelle 4: Zusammenfassung der Befehle

Elektrische Parameter

Alle im folgenden Abschnitt aufgeführten elektrischen Parameter beziehen sich - soweit nicht anders angegeben - auf die Typen UB 8820 M|UB 8821 M.

Angaben zu den entsprechenden Einstellwerten, Prüfkategorien, Bewertungskriterien und Meßschaltungen sind den jeweiligen Typstandards (TGL) zu entnehmen.

Haupt- und Nebenkenngrößen (Auswahl)

Kenngröße	Kurzzeichen	Einheit	Kleinswert	Größtwert
Eingangsreststrom	I_{IL}	µA	-	/20/
Eingangsreststrom RESET	$-I_{ILR}$	µA	-	80
Ausgangsreststrom	I_{ILO}	µA	-	/20/
L-Ausgangsspannung bei Belastung *1)	U_{OL}	V	-	0,4
H-Ausgangsspannung bei Belastung *2)	U_{OH}	V	2,4	-
Stromaufnahme	I_{CC}	mA	-	200
statische Stromaufnahme *3)	I_{MM}	mA	-	20

Anmerkung

*1) Für A0 bis A11, /MDS, /SYNC, SCLK und IACK beim UB 8820 M|UB 8821 M gilt U_{OL} für I_{OL} = 1 mA, in allen anderen Fällen für I_{OL} = 2 mA.

*2) Für A0 bis A11, /MDS, /SYNC, SCLK und IACK beim UB 8820 M|UB 8821 M gilt für I_{OH} = -0,1 mA, in allen anderen Fällen für I_{OH} = -0,25 mA.

*3) Gilt für UB 8821 M bei U_{MM} = 3 V.

Kenngröße *4)	Kurzzeichen	Einheit	Kleinstwert	Größtwert	Anmerk.
Adressen gültig bis Adressenstrobe	$t_{dA(AS)}$	ns	50	-	*5)
Adressenstrobe bis Adressen ungültig	$t_{dAS(A)}$		70	-	
Adressenstrobe bis Eingabedaten gültig	$t_{dAS(DI)}$		-	360	*6)
Adressenstrobe-Länge	t_{wAS}		80	-	*5)
Adressen ungültig bis Datenstrobe	$t_{dA(DS)}$		0	-	-

Kenngröße *4)	Kurzzeichen	Einheit	Kleinstwert	Größtwert	Anmerk.
Datenstrobe-Länge Read	t_{wDS}	ns	250	–	*5)
Datenstrobe-Länge Write	t_{wDS}		160	–	*7)
Datenstrobe bis Eingabedaten gültig	$t_{dDS(DI)}$		–	200	*6)
Eingabedaten Haltezeit	$t_{hDS(DI)}$		0	–	–
Datenstrobe bis Änderung der Adressen	$t_{dDS(A)}$		80	–	
Datenstrobe bis Adressenstrobe	$t_{dDS(AS)}$		70	–	
Read gültig bis Adressenstrobe	$t_{dR(AS)}$		50	–	
Datenstrobe bis Änderung der Eingabedaten	$t_{dDS(R)}$		60	–	
Ausgabedaten gültig bis Datenstrobe	$t_{dDO(DS)}$		50	–	*5)
Datenstrobe bis Änderung der Ausgabedaten	$t_{dDS(DO)}$		80	–	
Write gültig bis Adressenstrobe	$t_{dw(AS)}$		50	–	
Datenstrobe bis Änderung Write	$t_{dDS(W)}$		60	–	
Eingangsdaten Setzzeit	t_{sDI}		0	–	
Eingangsdaten Haltezeit	$t_{hDA(DI)}$		230	–	
Länge von /DAV Eingabe	t_{wDA}		175	–	
DAV = L bis /RDY Eingabe	$t_{dAL(RY)}$		20	175	
/DAV = L bis /RDY Ausgabe	$t_{dAL(RY)}$		0	–	*8)
/DAV = H bis /RDY Eingabe	$t_{dDAH(RY)}$		0	150	*9)
/DAV = H bis /RDY Ausgabe	$t_{dDAH(RY)}$		0	–	
Datenausgabe bis /DAV	$t_{dDO(DA)}$		50	–	
RDY bis /DAV	$t_{dRY(DA)}$		0	205	*8)

Kenngröße *4)	Kurzzeichen	Einheit	Kleinstwert	Größtwert	Anmerk.
Impulslänge für externe Interruptanforderung	$t_{wI(L)}$		100	-	
Pause zwischen externen Interruptanforderungen	$t_{wI(H)}$		250	-	
Systemtakt-Ausgabe bis Adressenstrobe	$t_{dSC(AS)}$		-	0	
SYNC-Ausgabe bis Datenstrobe	$t_{dSY(DS)}$		200	-	
Länge der SYNC-Ausgabe	t_{wSY}		160	-	
Adressen gültig bis Eingangsdaten(Speicher-Port)	$t_{dA(DI)}$		-	450	
Eingangsdaten-Haltezeit (Speicher-Port)	$t_{hDI(A)}$		0	-	

Anmerkungen:

*4) Alle Zeitbeziehungen gelten für 2 V für logisch "H" und 0,8 V

*5) Die Zeiten sind für eine Eingangstaktfrequenz von 8 MHz spezifiziert. Wenn mit einer geringeren Taktfrequenz gearbeitet wird, ist der Zuwachs in einer Taktperiode zu addieren.

*6) Diese Verzögerungszeiten stellen Zugriffszeiten zum Systemspeicher dar und gelten für 8 MHz Eingangsfrequenz. Für geringere Frequenzen muß die Änderung während 4 Taktperioden zu $t_{dAS(DI)}$ und während 3 Taktperioden zu $t_{dDS(DI)}$ addiert werden.

*7) Die Länge von Datenstrobe ist abhängig von der Länge des ausgeführten Befehls.

*8) Jede dieser beiden Zeiten kann einzeln betrachtet 0 ns betragen:
$t_{dDAL(RY)} + t_{dRY(DA)} \geq 2\, t_{pC}$ (für 8 MHz mindestens 250 ns)

*9) Es müssen zwei Bedingungen erfüllt sein, bevor RDY von "L" auf "H" geht:
1. Der /DAV-Eingang muß von "L" auf "H" gegangen sein.
2. Die Eingabedaten müssen vom Port-Register in den EMR übernommen werden (z.B. LD 4,2 : Die Eingabedaten werden vom Port 2-Register in Register 4 übernommen).

Spätestens 150 ns nach Erfüllung beider Bedingungen geht der RDY-Ausgang von "L" auf "H".

Grenzwerte (Auswahl)

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert
Betriebsspannung	U_{CC}	V	-0,5	7
Eingangsspannung	U_I	V	-0,5	7
Ausgangsspannung	U_O	V	-0,5	7

Alle Werte beziehen sich auf U_{SS} = 0 V.

Statische Betriebsbedingungen

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert
Betriebsspannung (Arbeitsbetrieb)	U_{CC}	V	4,75	5,25
	U_{MM}	V	U_{CC}-0,6	U_{CC}
Betriebsspannung (Power-Down-Betrieb)	U_{CC}	V	0	4,749
	U_{MM}	V	3	5,25
Eingangsspannung	U_{IL}	V	-0,3	0,8
	U_{IH}	V	2	U_{CC}
Takteingangsspannung *10)	U_{ILC}	V	-0,3	0,8
	U_{IHC}	V	3,8	U_{CC}
RESET-Eingangsspannung	U_{ILR}	V	-0,3	0,8
	U_{IHR}	V	3,8	U_{CC}
Betriebstemperaturbereich	ϑ_a	°C	0 bis 70	

Anmerkung:

*10) vom externen Taktgenerator

Dynamische Betriebsbedingungen

Kenngröße	Kurzzeichen	Einheit	Kleinstwert	Größtwert
Eingangstaktfrequenz	f_C	MHz	1	8
Eingangstakt-Anstiegs- und Abfallzeiten *11)	t_{rC}, t_{fC}	ns	-	25
Taktbreite *11)	t_{WC}	ns	37	-

Anmerkung:

*11) vom externen Taktgenerator

Bilder zum Zeitverhalten

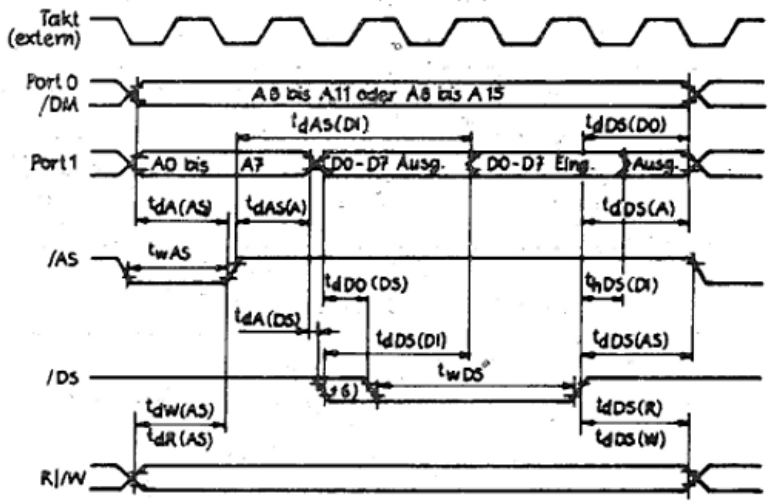


Bild 15: Zeitverhalten für externe Ein-|Ausgabe oder Speicherlesen und -schreiben

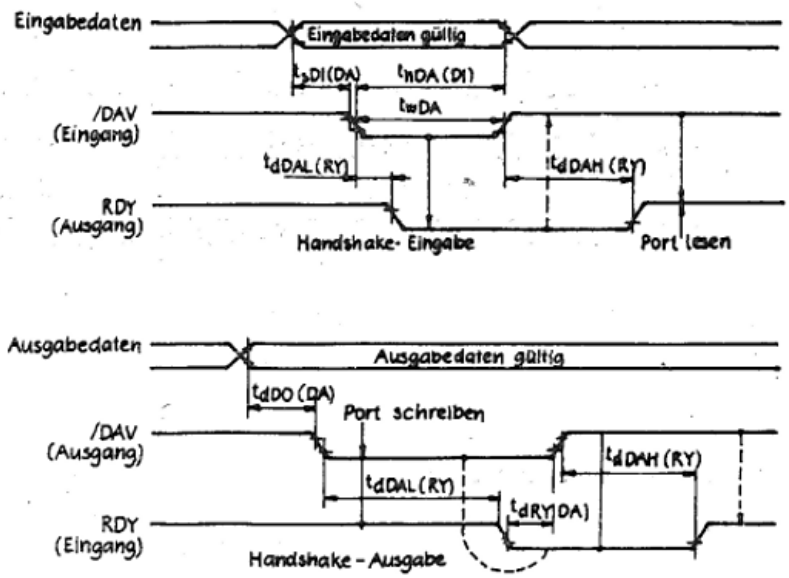


Bild 16: Handshake-Zeitverhalten

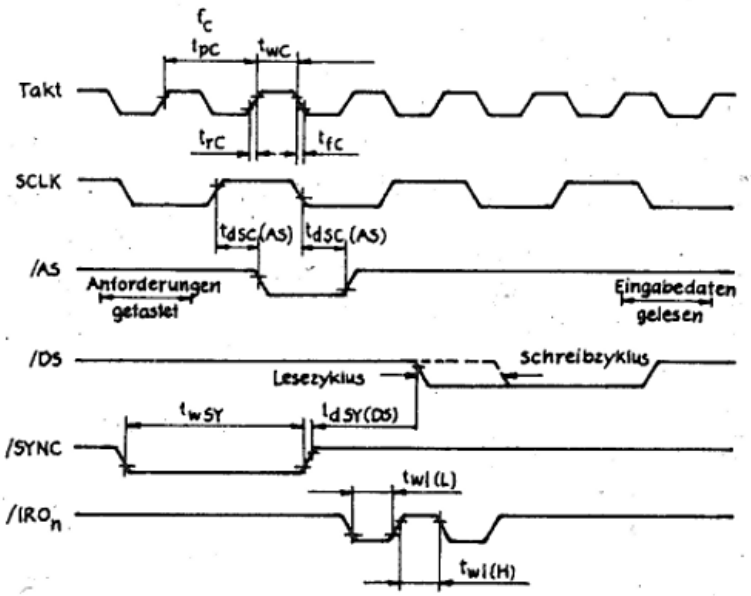


Bild 17: Allgemeines Zeitverhalten

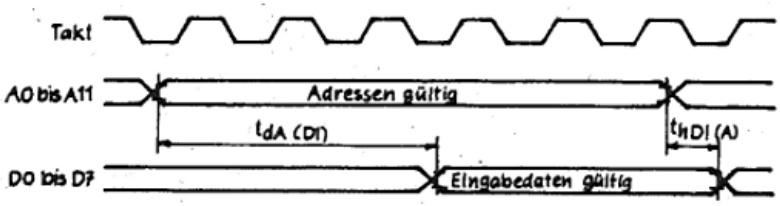


Bild 18: Speicher-Port-Zeitverhalten

robotron

VEB Robotron
Buchungsmaschinenwerk
Karl-Marx-Stadt
Annaberger Straße 93
Karl-Marx-Stadt
DDR–9010

Exporteur
Robotron-Export/Import
Volkseigener
Außenhandelsbetrieb
der Deutschen
Demokratischen Republik
Allee der Kosmonauten 24
Berlin
DDR–1140

1.62.540103.2 (GER)
850.56.01.001

Kv 1173/88 V 7 1 1813 N2